

Studienarbeit

5. Semester

Inbetriebnahme einer Cameralink- Schnittstelle für das Zedboard

Studiengang Elektrotechnik

Duale Hochschule Baden-Württemberg Mannheim

von

Sascha Karmann

Bearbeitungszeitraum

30.09.14 - 05.01.15

Matrikelnummer, Kurs

1190493, TEL12BAT

Betreuer der dualen Hochschule

Prof. Dr. Rüdiger Heintz

Unterschrift Betreuer

Aufgabenstellung

Das Zedboard bietet die Möglichkeit einer frei programmierbaren FPGA Schnittstelle. Sie soll genutzt werden, um eine Druckluftsortieranlage für einen Teilchenstrom zu realisieren. Die Daten einer Kamera sollen über die Cameralink-Schnittstelle durch ein eigens angefertigtes Erweiterungsboard in das DRAM geschrieben werden. Von dort aus können sie weiter verarbeitet werden.

Kern dieser Studienarbeit ist es die eigens entwickelte Erweiterung in Betrieb zu nehmen. Zwei Modelle einer bestehenden Version weisen unterschiedliche Fehler auf. Die Aufgabe lag nun darin die Fehlerursache(n) zu ermitteln und eines der beiden Prototypen in Betrieb zu nehmen. Hierfür sind folgende Teilschritte zu bearbeiten (vgl. Heintz, Aufgabenstellung Studienarbeit WS2014):

- Testen der Erweiterungskarte durch gegebene Testprogramme
- Fehler finden und beheben
- Daten vom DRAM an die Cameralink-Schnittstelle senden
- Daten von der Cameralink-Schnittstelle annehmen und in den Speicher schreiben
- Den Blog zur Vorstellung von technischen Lösungen im Bezug auf das Projekt mit den Ergebnissen der Arbeit aktualisieren

Erklärung

gemäß §5 (3) der "Studien- und Prüfungsordnung DHBW Technik" vom 22. September 2011.

Ich habe die vorliegende Arbeit selbständig verfasst und keine anderen als die angegebenen Quellen und Hilfsmittel verwendet.

Ort

Datum

Unterschrift

Vorwort

Die verfasste Studienarbeit ist Teil eines Gesamtprojektes der Dualen Hochschule Baden Württemberg. Das Projektziel ist der Aufbau einer kleinen Frei-Fall-Sortiereinheit für Objektströme. Die Erkennung der Objekte wird durch eine Zeilenkamera realisiert. Die Auswertung der Daten erfolgt auf ein Zedboard der Firma Xilinx. Schadhafte Objekte werden durch Druckluftdüsen am unteren Teil der Sortieranlage aus dem Objektstrom geschossen.

Aufgabe der Studienarbeit war die Inbetriebnahme einer Erweiterungsplatine für das Zedboard. Die Platine bildet die Schnittstelle zwischen dem Zedboard und der Zeilenkamera des Sortierers. Als Interfacestandard wird an dieser Stelle die Cameralink-Technik verwendet. Sie ist vor allem für Hochgeschwindigkeits-Bildübertragung optimiert. Die Aufgabe der Erweiterungsplatine besteht darin, die von der Kamera kommenden Daten anzunehmen und direkt in den Speicher des Prozessors zu schreiben.

Es ist bereits die vierte Dokumentation, die sich mit der Entwicklung der Erweiterungsplatine beschäftigt. Die Vorgänger haben sich mit den Grundlagen der Cameralink-Technik sowie der Planung der Platine beschäftigt. Im Anschluss wurden zwei Prototypen-Generationen der Platine erstellt, die nicht die volle gewünschte Funktion aufweisen.

Ziel war es somit vorhandene Fehler zu beseitigen und die Platine in Betrieb zu nehmen. Mit der Arbeit ist eine dritte Platinen-Generation entstanden, mit der es ebenfalls nicht gelungen ist den Betrieb aufzunehmen.

Ein Schwerpunkt der Dokumentation lag daher auf einer umfassenden Zusammenfassung sowie der Aufarbeitung der vorangegangenen Arbeiten, um nachfolgenden Studenten den Einstieg in das Thema zu erleichtern.

Abstract

This seminar paper is part of a project of Duale Hochschule Baden Württemberg. It is about a selector which can separate free falling objects. A line scan camera records the falling objects. A Zedboard (Xilinx) evaluates the given data and controls a row of blast pipes. These pipes blow out non-conforming objects.

To start up an extension plate for the Zedboard was goal of this labour. The extension plate connects camera and Zedboard by a Cameralink interface. It writes the camera data directly into the memory of the board. Cameralink is often used at high speed transmission of images.

This paper is the 4th one which deals with the extension plate. A layout was created, realised and improved. There still exist two generations of prototypes. Both do not work totally as it was expected. So it was targeted to find and eliminate all faults. During this work period a third plate was built up which could not finish development, too. For this reason, it became second focus to summarize the whole topic in this paper.

Inhaltsverzeichnis

Aufgabenstellung	II
Erklärung	II
Vorwort	III
Abstract.....	IV
Abbildungsverzeichnis	VII
Tabellenverzeichnis	VIII
Abkürzungsverzeichnis	VIII
1 Einführung	9
1.1 Was ist Cameralink?	11
1.1.1 Wie funktioniert Cameralink?	13
1.1.2 Ablauf der Datenübertragung	14
1.2 Warum Cameralink in der Studienarbeit?	16
1.3 Ausgangspunkt Erweiterungskarte	17
1.3.1 Vorarbeit Krato	17
1.3.2 Vorarbeit Kleinz.....	18
1.3.3 Vorarbeit Maletzke	19
1.3.4 Bestehende Testprogramme.....	21
1.3.5 Neues Testprogramm	22
1.4 Problemstellung dieser Arbeit.....	23
2 Arbeit an der Platine	25
2.1 Geplantes Vorgehen.....	25
2.2 Tatsächliches Vorgehen	26
2.2.1 Bestandsaufnahme	26
2.2.2 Überarbeitung der Platine 1	27
2.2.3 Überarbeitung der Platine 2	28
2.2.4 Neubestellung der Platine	30
2.2.5 Messung an der neuen Platine.....	32
2.3 Allgemeine Layout-Hinweise	37
2.3.1 Wahl der Version von EAGLE	37
2.3.2 Längen und Verlauf der Datenleitungen.....	37
2.3.3 Größenverhältnisse.....	38
2.3.4 Masseflächen	39
2.3.5 Design-Rule-Check	40
2.4 Reflow-Löten des FMC-Steckers.....	42

Fazit und Ausblick.....	46
Literatur- & Quellverzeichnis.....	47
Anhang	A
Fehlerhafte Signale	A
Erstellung eines Schaltsymbols und Footprints in EAGLE	B
Erstellen eines Layout-Entwurfs in EAGLE	F
Aktueller Signallaufplan.....	I
Aktuelles Platinen-Layout.....	J
Aktueller Schaltplan.....	K
Aktuelle Bestückungsliste.....	L
Blockschaltbild des Zedboards.....	M
Belegung des FMC Steckers.....	N
Aktuelles FPGA-Design.....	O

Abbildungsverzeichnis

Abb. 1: Prinzip einer Freifall-Sortiereinheit.....	9
Abb. 2: Detail-Schema Computersystem	10
Abb. 3: Verbindung zwischen Sender- und Empfängerbaustein bei Cameralink	13
Abb. 4: Physical Layer der Cameralink Übertragung	15
Abb. 5: Kontaktflächen nach dem Lösen des FMC-Steckers.....	29
Abb. 6: Durchkontaktierungen zwischen den Kontaktflächen	29
Abb. 7: Position der MDR-Buchsen im Vergleich.....	30
Abb. 8: Folgen des Kurzschluss auf der Platine	31
Abb. 9: Löt-Fähnchen am Framepusher	32
Abb. 10: Schematischer Signalverlauf der gestörten Bits	33
Abb. 11: Differenzsignal G_X2.....	33
Abb. 12: Differenzsignal G_X0.....	34
Abb. 13: Differenzsignal C_X0.....	35
Abb. 14: Schwankungen der Versorgungsspannung am Framepusher.....	36
Abb. 15: Leitungslängen in Eagle	38
Abb. 16: Einfügen von Restriktionsflächen	40
Abb. 17: DRC-Fehlerliste	41
Abb. 18: Reflow-Ofen an der Hochschule (Protoflow S)	42
Abb. 19: Auftragen von Löt-Paste.....	43
Abb. 20: Übermäßiges Auftragen von Löt-Paste	44
Abb. 21: Löt-Prozess	45
Abb. 22: FMC-Stecker auf Platine	45
Abb. 23: Signallaufplan	I
Abb. 24: Layout.....	J
Abb. 25: Schaltplan.....	K
Abb. 26: Blockschaltbild des Zedboards	M
Abb. 27: Pin-Belegung des FMC-Steckers am Zedboard	N
Abb. 28: Aktuelles FPGA-Design.....	O

Tabellenverzeichnis

Tab. 1: Bedeutung der Schalterstellung - altes Testprogramm.....	22
Tab. 2: Bedeutung der Schalterstellung - neues Testprogramm.....	23
Tab. 3: Fehlerhafte Signale auf der neuen Platine.....	A

Abkürzungsverzeichnis

CL	Cameralink oder CameraLink, Hochgeschwindigkeitsschnittstelle für Bildverarbeitung
DMA	direkter Zugriff eines Bausteins auf den Speicher eines Prozessors ohne dessen Beteiligung (engl.: Direct Memory Access)
DRAM	dynamischer Arbeitsspeicher (engl.: Dynamic Random Access Memory)
EAGLE	Software zum Erstellen von PCBs (Einfach Anzuwendender Grafischer Layout Editor)
LVDS	Differenzielles Übertragungssignal mit sehr niedriger Amplitude der Übertragungsspannung (engl.: Low Voltage Differential Signal)
PCB	Platine (Printed Circuit- Board)
RAM	Arbeitsspeicher (engl.: Read Access Memory)
VHDL	Hardwarenahe Programmiersprache (engl.: Very high speed integrated circuit Hardware De- scription Language)

1 Einführung

Diese Studienarbeit steht im Gesamtzusammenhang eines Sortierers für Granulat oder Materialien mit ähnlichen Volumen- und Falleigenschaften. Die Anlage besitzt die Aufgabe Schüttgut auf Ausschuss zu untersuchen und diesen von der verwertbaren Ware zu trennen.

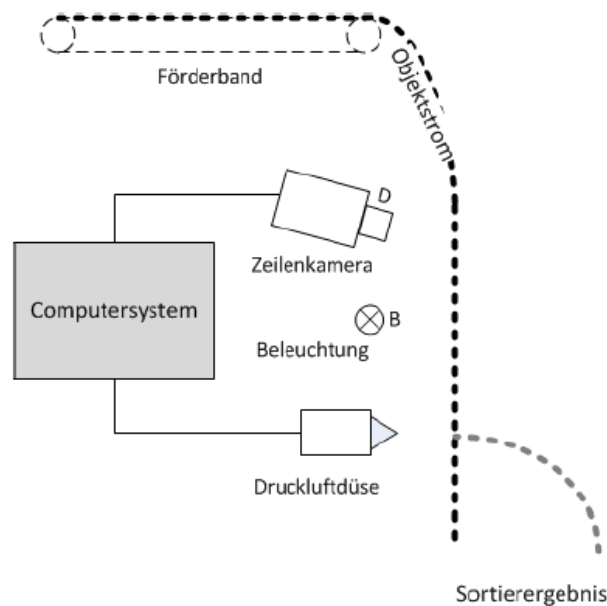


Abb. 1: Prinzip einer Freifall-Sortiereinheit¹

Wie in Abb. 1 ersichtlich fällt das Gut von einem Förderband herab und an einer Zeilenkamera vorbei. Die Daten der Kamera werden von einem Computersystem ausgewertet. Wird fehlerhafte Ware anhand seiner Farbe erkannt, können bis zu 16 Luftdruckdüsen angesteuert werden. Diese schießen das schadhafte Granulat gezielt aus dem herabfallenden Objektstrom heraus.

Das Computersystem lässt sich wiederum in drei Aufgabengebiete unterteilen (siehe Abb. 2). Die aktive Cameralink-Schnittstelle liest die Bilddaten der Kamera ein und schreibt sie direkt in das DRAM des Zedboards. Über die Schnittstelle lassen sich ebenfalls in umgekehrter Richtung Steuerbefehle an die Kamera senden. So lässt sich beispielsweise die Kamera parametrisieren und ihre Aufnahme starten oder beenden. Die Bildauswertung ist abhängig von den zu sortierenden Objekten. Im einfachsten Fall könnte sie schwarze Granulat-Stücke von weißen trennen. Die Bild-

¹ Specht, 2014: S. 9; Abbildung 2.1; Prinzip einer Freifall-Sortiereinheit

auswertung muss so nur dunkle von hellen Bildpunkten unterscheiden und deren Position bestimmen. Die ermittelte Position wird dann in einen Befehl umgesetzt, der an die Düsenansteuerung weiter gegeben wird. Mit den Druckluftdüsen werden dann entsprechende Granulat-Teilchen aus dem Objektstrom herausgeschossen.

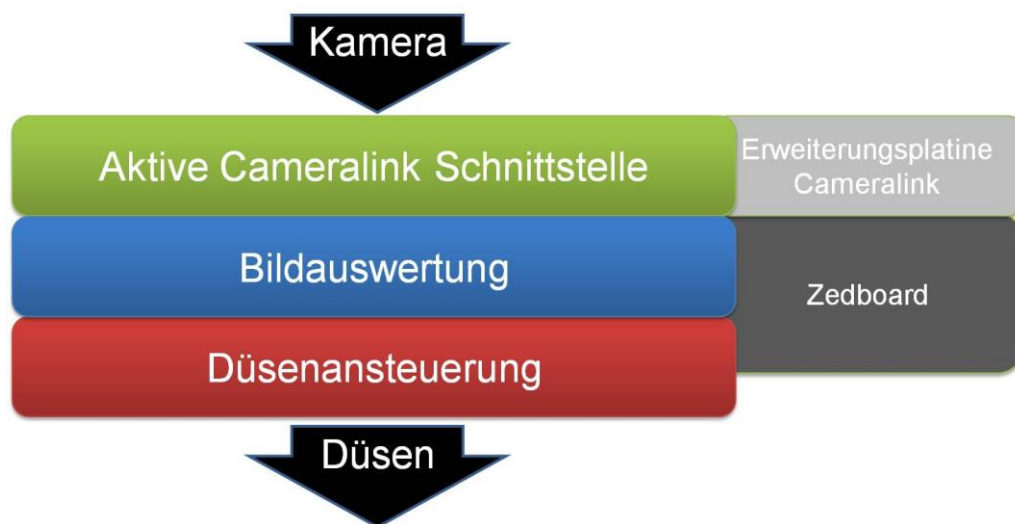


Abb. 2: Detail-Schema Computersystem

Mit jedem dieser drei Teilaspekte befasst sich je eine Folge von Studienarbeiten an der DHBW Mannheim. Kern dieser Studienarbeit ist die Inbetriebnahme der Erweiterungsplatine. Sie ist von Studenten der DHBW selbst entwickelt worden und wird das Zedboard um eine Cameralink-Schnittstelle erweitern. Vorangegangene Arbeiten haben sich mit der Entwicklung eines Layouts für die Platine, der Erstellung eines Prototypen sowie der Verbesserung dieses ersten Entwurfs beschäftigt. Parallel wurde für das Gesamtprojekt eine Sortiereinheit aus Item-Profilen aufgebaut¹ und eine zweite Erweiterungsplatine für die Düsenansteuerung entworfen. Zeitgleich zu dieser Arbeit im Wintersemester 2014 wird die Ansteuerung der Düsen in VHDL auf dem Zedboard programmiert². Die Bildauswertung erfolgt erst nach erfolgreichem Abschluss an die Arbeiten zur Cameralink-Schnittstelle und der Düsenansteuerung.

¹ Die Studienarbeit von Tobias Specht aus dem Wintersemesters 2013 (Specht, 2014) beschreibt den Aufbau sowie das Grundprinzip der Sortieranlage und die Komponente Zeilenkamera.

² Eine Beschreibung zu dem Thema Düsenansteuerung (in VHDL) liefert die Studienarbeit von Lena Müller (Müller, 2015)

1.1 Was ist Cameralink?

Die Schnittstelle Cameralink (auch Camera Link) findet häufige Anwendung in der Hochgeschwindigkeits-Bildverarbeitung. Julian Krato, der sich als erster mit der Erweiterungsplatine für das Zedboard beschäftigt hat, erläutert in seiner Studienarbeit die Technologie wie folgt: „Bei CameraLink (kurz: CL) handelt es sich um eine speziell für den Bereich der Bildverarbeitung konzipierte High End-Schnittstelle mit dem Ziel der maximalen Datenrate. [...] [Sie] wurde zu einem Interface-Standard für Digitalkameras und Framegrabber¹. Hinter der Entwicklung und Verbreitung von CL stehen viele renommierte Firmen, wie beispielsweise National Instruments (NI)“, Mathworks, KAYA Instruments, EPSON Robots, Xilinx Incorporated oder Sony Imaging Solutions². Sie bilden den Zusammenschluss der Automated Imaging Association (AIA).³ Die AIA besitzt nach eigenen Angaben über 330 Mitglieder die sich der industriellen Bildverarbeitung verschrieben haben. Gemeinsam definieren sie Standards für Bildübertragungssysteme (Beispielsweise Cameralink) und entwickeln diese auch weiter. Vereinbarungen der AIA sind in der Regel für Außenstehende nicht einsehbar.⁴ „Wie bereits beschrieben ist CameraLink ein Kommunikationsinterface für visuelle Anwendungen. Dabei beruht seine Technologie auf dem von NI entworfenen ChannelLink-Protokoll. CL erweitert dieses, um bessere Ergebnisse speziell für Anwendungen im Bereich der Bildverarbeitung zu schaffen. [In] konkreten [Zahlen] bedeutet es, dass die Datenrate von 250 Mbit/s bis 6.4 Gbit/s auf 2,38Gbit/s bis 7Gbit/s gesteigert wird.“

¹ Die Kommunikation findet zwischen Framegrabber (Bildempfänger) und Kamera/ Framepusher statt. „Ein Framegrabber oder auch Video-Grabber (zu Deutsch: Bildfangschaltung), ist ein elektronisches Gerät, welches einzelne digitale Standbilder von einem analogen oder digitalen Videostrom erfasst. Früher, als Kameras die Videosignale noch nicht intern digitalisiert haben, war es die Aufgabe des Framegrabbers die anfallenden analogen Signale zu digitalisieren.“ (Krato, 2013: S.12)

² Aus der Mitgliederliste der Automated Imaging Association (<http://www.visiononline.org>) Homepage-
Stand: 18.11.2014

³ Vergleich Krato, 2013 S.9 sowie Fermum

⁴ Automated Imaging Association – About AIA

Dabei benutzt CL die 28-Bit ChannelLink Version¹ bei einer Taktrate von 85 MHz. Durch die Parallelschaltung von bis zu drei (3) Chipsätzen² kann die Datenrate auf 7 Gbit/s gesteigert werden. Es gibt drei Konfigurationsarten:

Base [...] ca. 255 MB/s [...]

Medium [...] ca. 510 MB/s

Full [...] ca. 680 MB/s [...]

Hierbei³ variiert die Bitbreite pro Pixel zwischen 8 und 16Bit⁴. [...] [10]⁵ In der Studienarbeit werden die Basiskonfiguration und eine *Taktrate von 40 MHz (bauteilbedingt) benutzt. Ein Gesamtdurchsatz von bis zu 120 MBit/s (3 Byte * 40 MHz) ist auf diese Weise möglich.*⁶

Die Aussage über die Taktrate und die anschließende Rechnung, die Julian Krato an dieser (*kursiv gedruckten*) Stelle trifft, sind nicht korrekt. Die in der Studienarbeit verwendeten Framegrabber und Framepusher können mit Taktraten von 20 MHz bis 85 MHz betrieben werden⁷. Ein Ziel des Projektes ist es die maximale Geschwindigkeit zu verwenden. Die Rechnung wird im Kapitel 1.1.2 „Ablauf der Datenübertragung“ aufgefasst und ausführlich diskutiert.

Zusammengefasst bringt die Verwendung der Cameralink-Technologie den Vorteil einer schnellen und sicheren Datenübertragung. Durch die Normung der einzelnen Bauteile versuchen die Hersteller den Verkaufspreis zu drücken. Dies funktioniert allerdings nur bedingt, da die Technik durch ihre Vielzahl an speziellen Komponenten (Kamera mit CL-Ausgang, Framegrabber-Karte, Kabel) im Vergleich zu anderen teurer bleibt. Der einzelne Framegrabber kann maximal Daten von zwei Kameras emp-

¹ Bei ChannelLink dieser Version werden 28 Bits auf mehrere parallele Treiber aufgeteilt. Diese Versenden die ihnen zugewiesenen Daten über eine serielle LVDS-Leitung. Beim Empfänger werden die Daten wieder zusammen gesetzt. (siehe Kapitel 1.1.1 Wie funktioniert Cameralink)

² Es handelt sich hierbei um ChannelLink Chipsätze. Diese enthalten wiederum mehrere Ausgangstreiber (siehe Abb. 3 in Kapitel 1.3)

³ Bei den einzelnen Varianten...

⁴ Das bedeutet, dass die in einem einzigen Pixel enthaltene Informationsgröße und somit dessen Auflösung variiert. Je größer die Bitbreite, desto mehr Farben können unterschieden werden.

⁵ Julian Kratos Quelle [10]: <http://de.wikipedia.org/wiki/CameraLink>, CameraLink (Stand: 13.03.13)

⁶ Krato, 2013: S. 9

⁷ National Semiconductor, 2004

fangen. Durch den Geschwindigkeitsvorteil begrenzt man bei Einsatz des Systems somit die Anzahl der angeschlossenen Kameras. Ein Multikamerasystem wird deutlich aufwendiger. Die Verwendung von Cameralink lohnt sich demnach lediglich bei Hochgeschwindigkeits-Prozessen, die zudem räumlich begrenzt sind. Reichweiten über 10m müssen mit zusätzlichen Repeatern oder Glasfasertechnik realisiert werden.¹

1.1.1 Wie funktioniert Cameralink?

Der Datenaustausch bei der Cameralink-Technologie findet zwischen einem Sender- und Empfängerbaustein statt.

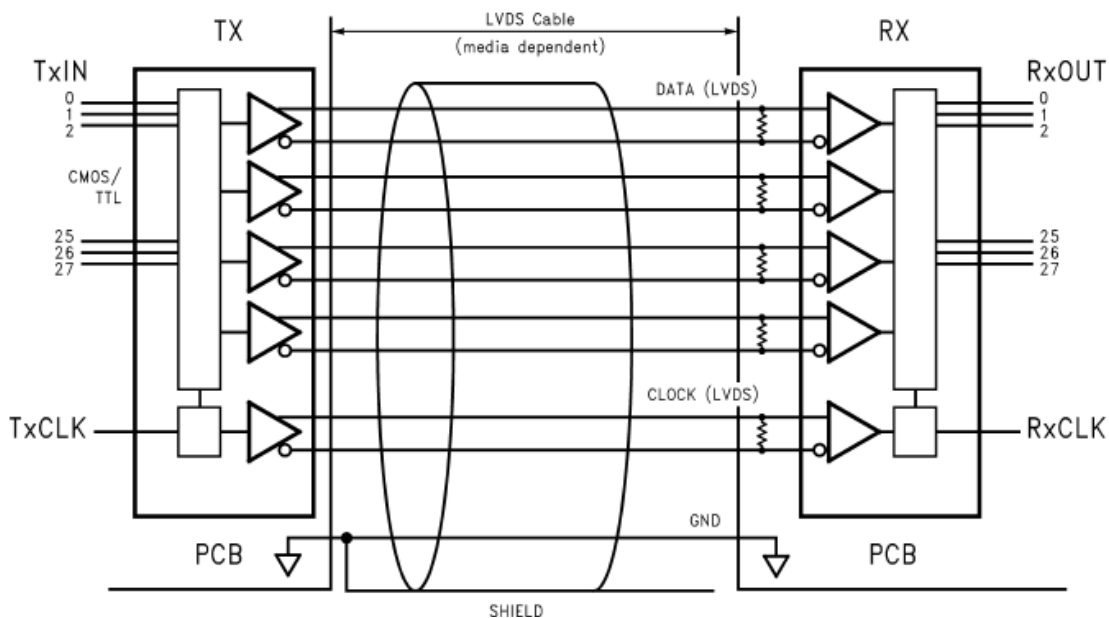


Abb. 3: Verbindung zwischen Sender- und Empfängerbaustein bei Cameralink²

Das Blockschaltbild in Abb. 3 zeigt den Aufbau der Cameralink-Schnittstelle zwischen Sendebaustein (links) und Empfangsbaustein (rechts). Der linke mit „PCB“ bezeichnete Baustein ist der Framepusher. Er teilt die 28 parallel anliegenden CMOS- Logiksignale (TxIN0 bis TxIN27) in mehrere Gruppen auf und versendet diese in (hier) vier serielle LVDS-Datenströmen. Sie werden über ein geschirmtes, verdrilltes³ Kabel an den Empfänger gesendet. „Dieser setzt die vier eintreffenden Da-

¹ Vgl. Fermum

² Krato, 2013: Abbildung 2 – Typische Applikation CameraLink, S. 11

³ Die Verdrillung der Adern-Paare ist in der Abbildung nicht dargestellt.

tenströme wieder in [28]¹ CMOS/TTL-Signale um. Die Entfernung zwischen beiden Bausteinen darf nur wenige Zentimeter bis 10 Meter betragen. [...] Auch der Takt wird ebenfalls in ein LVDS-Signal umgewandelt.² Durch ihn teilt der Sender dem Empfänger mit, wann die serielle Übertragung der Datenbits abgeschlossen ist. „Verbunden werden Sende- und Empfangseinheit über ein 26-poligen MDR-26 Stecker der Firma 3M. Er ist speziell für die empfindlichen und hochfrequenten LVDS-Signale isoliert und dient der Verbindung zur Kommunikation zwischen Kamera und Framegrabber.“³

Die 28 Datenbits unterteilen sich in 24 Bits Nutzdaten und vier Kontrollbits. In der Basiskonfiguration wird meist drei Pixel mit je einem Byte Datenbreite versendet. Die dazugehörigen vier Kontrollbits entscheiden über die Gültigkeit dieser versendeten Daten. Je ein Kontrollbit enthält die Information über die Gültigkeit:

- des Senderrahmens (Frame Valid)
- der Bildzeile (Line Valid)
- der gesendeten Daten (Data Valid)

Das vierte Bit, das „Spare“ Bit, ist für zukünftige Anwendungen reserviert und wird aktuell nicht verwendet.³

1.1.2 Ablauf der Datenübertragung

In der praktischen Anwendung ist der Bildaufnehmer der Kamera der Datenlieferant für den Framepusher. Der Aufnehmer stellt intern dem Framepusher die Daten über den 28-Bit-Parallel-Bus zur Verfügung. Im Falle der Studienarbeit übernimmt das Zedboard diese Aufgabe. Die 28 Datenleitungen sowie die dazugehörige Taktleitung werden über den FMC-Stecker zum Erweiterungs-Board geführt.

¹ Die Quelle besagt an dieser Stelle: „...in 28-Bit CMOS/TTL- Signale um.“ Diese Formulierung ist missverständlich. Es handelt sich um 28 einzelne Logiksignale mit je einem Bit Datenbreite.

² Krato, 2013: S. 11f

³ ImageOps, Division of Computer Modules, Inc., 2000; Microtronix (ohne Datum)

Anmerkung zu einer in diesem Zusammenhang nicht zitierten Aussage von Krato in seinem Kapitel 4.4 Erforderliche Signale für Cameralink:

In dieser sagt er aus, dass die Video Daten sich in vier Signalarten, FVAL, LVAL, DVAL und Spare unterteilen. Tatsächlich handelt es sich wie beschrieben um vier Bits zu Validierung der Daten.

In Abb. 4 ist die Datenübertragung auf physikalischer Ebene dargestellt. Wie im Kapitel zuvor erläutert, werden die 28 Bits in vier Gruppen zu je acht Bits aufgeteilt. Diese werden dann über eine LVDS Leitung seriell versendet. In der Darstellung sind unten der Taktumsetzer und darüber lediglich ein Treiber einer dieser Gruppen abgebildet.

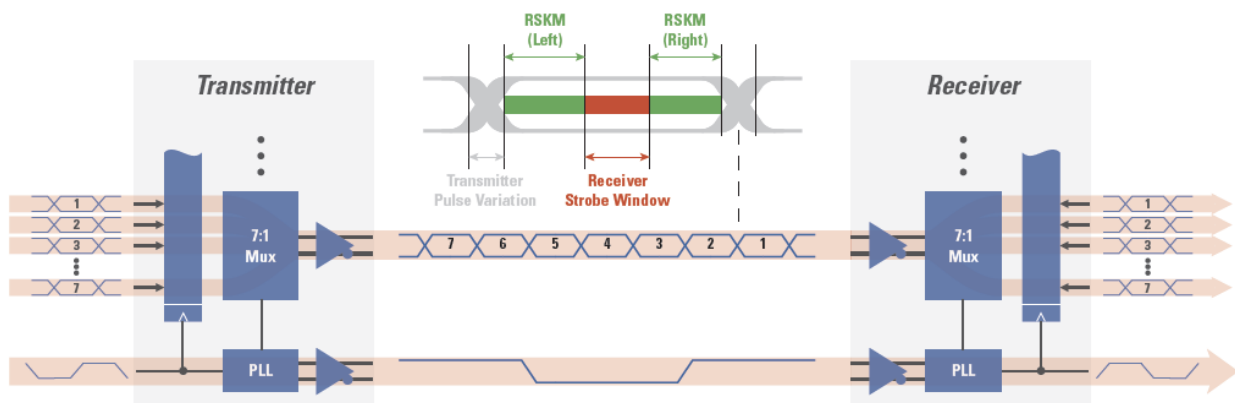


Abb. 4: Physical Layer der Cameralink Übertragung¹

Auf der linken Seite stehen die sieben Logiksignale der abgebildeten Gruppe an². Sie werden mit der steigenden Taktflanke vom Framepusher (hier als Transmitter bezeichnet) übernommen und mit dem höchstwertigen Bit voran gesendet. Der Takt zwischen Framepusher und Framegrabber (hier als Receiver bezeichnet) fällt nach dem zweiten gesendeten Bit (Bit6) ab und steigt wieder nach dem fünften gesendeten Bit (Bit2) an. Nach der Rückwandlung durch den Framegrabber entsprechen die Signale wieder denen, die am Framepusher angelegt sind. Sie werden mit der fallenden Taktflanke im Empfänger übernommen.

Angaben im Bezug auf den Cameralink-Takt, wie u.a. die in Kapitel 1.1 von Kratozitierte Taktrate, bezieht sich auf den gemeinsamen Übernahme-Takt der vier parallel geschalteten Seriellen Übertragungsleitungen (siehe Abb. 3 & Abb. 4 oben). Zusammen übertragen die vier Leitungen während eines Taktzyklus die 24 Nutzdatenbits. Pro Sekunde übertragen sie somit bis zu:

¹ Texas Instruments, 2006; Seite 15

² Die in der Abbildung gewählte Nummerierung hat keinen Bezug zu der Nummerierung (0...27) der einzelnen Bits. Tatsächlich sind die Gruppen eher willkürlich zusammen gesetzt. (vgl. Aktueller Signallaufplan, Seite F im Anhang)

$$85 \text{ MHz} * 24\text{Bit} = 2040 \text{ MBit/s} = 255 \text{ MByte/s}$$

(vgl. Base Konfiguration, Kapitel 1.1)

Wird die Schnittstelle mit 40 MHz, wie von Krato angenommen betrieben, so ergibt sich lediglich ein Gesamt-Nutzdaten-Umsatz von:

$$40 \text{ MHz} * 3 \text{ Byte} = 120 \text{ MByte/s} (\neq 120 \text{ MBit/s})$$

Insgesamt werden bei der Cameralink-Schnittstelle 28 Bits übertragen (24 Nutzdaten-, 4 Kontrollbits). Dadurch ergibt sich ein maximaler Gesamt-Daten-Durchsatz von:

$$85 \text{ MHz} * 3,5 \text{ Byte} = 297,5 \text{ MByte/s} = 2380 \text{ MBit/s}$$

Dieser Wert entspricht circa dem 20-fachen des von Krato angegebenen Wertes (120Mbit/s).

1.2 Warum Cameralink in der Studienarbeit?

Bei der Konstruktion der Freifallsortiereinheit wurden auch mögliche maximale Reaktionszeiten des Computersystems berechnet. Es wurde der senkrechte freie Fall der Granulat-Teilchen angenommen und der gewählte Abstand von 90 cm zwischen Kamera und Druckluftdüsen berücksichtigt. Der Luftwiderstand der fallenden Objekte wurde bei der Kalkulation vernachlässigt.

Besitzen die Teilchen im Punkt der Erkennung durch die Kamera keine Geschwindigkeit in horizontaler Richtung und werden dann durch die Schwerkraft beschleunigt, so fallen sie nach einer berechenbaren Zeit an den Sortierdüsen vorbei. Besitzen die Teilchen bereits eine Geschwindigkeit im Mess-Punkt so verkürzt sich die Zeit, bis sie an den Düsen vorbei fallen. Gleiches gilt, wenn der Abstand zwischen Kamera und Düsen verkürzt wird. Aus diesen Überlegungen ergibt sich die maximal mögliche Reaktionszeit für das System¹. Diese liegt zwischen 100 ms (kleiner Abstand und bereits beschleunigte Objekte) und 420 ms liegen (maximaler Abstand und horizontal ruhende Objekte vor der Kamera).

¹ Werte vgl. Specht, 2014: S. 17

In dieser Zeit müssen das Einlesen der Daten, deren Auswerten und die Düsenansteuerung abgeschlossen sein. Aus diesem Grund werden Cameralink als Hochgeschwindigkeitsschnittstelle für die Bildverarbeitung und VHDL als hardwarenahe Programmiersprache in den Studienarbeiten verwendet.

Würden langsamere und entsprechend kostengünstigere Komponenten verwendet werden, so müsste man den Abstand zwischen Kamera und Sortierdüsen vergrößern. Diese Maßnahme erschwert die Abschätzung, zu welchem Zeitpunkt sich ein an der Kamera vorbei gefallenes Teilchen vor einer Luftdruckdüse befindet. Bei größeren Distanzen können der Luftwiderstand und die Bewegungen in die horizontalen Richtungen nicht ohne weiteres vernachlässigt werden.

1.3 Ausgangspunkt Erweiterungskarte

Um reproduzierbare Daten zu erhalten wurde auf die Erweiterungsplatine neben dem Empfänger zusätzlich ein (für die endgültige Verwendung im Sortierer überflüssiger) Sender gesetzt. Während der Testphase werden der Ausgang und Eingang der Erweiterungsplatine miteinander verbunden. Da die Platine nun Daten an sich selbst schickt, kann sie diese vor dem Senden und nach dem Empfangen leicht miteinander vergleichen. Auf diese Weise ist es möglich Programme zu schreiben, mit denen die Funktion von Sender und Empfänger geprüft werden kann.¹ Die Platine ist fähig, einen späteren Daten-Verarbeitungs-Prozess ohne zusätzliche Elemente zu simulieren.

1.3.1 Vorarbeit Krato²

Die Studienarbeit von Julian Krato befasst sich mit den Grundlagen der Cameralink-Technik und dem erstellen eines Board-Layouts in EAGLE.

Seine Erkenntnisse in der Cameralink-Technik wurden bereits in Kapitel 1.1 aufgefasst und auf das Studienprojekt bezogen und ergänzt. Zur Erstellung des Board-Layouts benötigte er die Schaltplan-Dateien von der verschiedenen ICs, die in ihrer Gesamtheit nicht in der EAGLE-Bibliothek vorhanden sind. Die fehlenden Dateien konnte er von der Homepage der Firma Texas Instruments beziehen. Um die zusätzlichen Bauteile in EAGLE verwenden zu können, hat er für jeden der Bausteine einen

¹ Testprogramm siehe Kapitel 1.3.4 sowie Kapitel 1.3.5

² Krato, 2013

Footprint¹ erstellt und die Objekte eingebunden. Seine detaillierte Anleitung hierfür befindet sich im Anhang (Erstellung eines Schaltsymbols und Footprints in EAGLE auf Seite B).

Mit Hilfe der eigens erzeugten Bauteile fertigte Krato den Schaltplan der Platine und einen ersten Layout-Entwurf an, den er jedoch nicht fertig stellen konnte.

1.3.2 Vorarbeit Kleinz²

Die Aufgabe für David Kleinz bestand darin einen ersten Prototyp anhand der Arbeit seines Vorgängers zu erstellen. Er gestaltete den gegebenen Schaltplan übersichtlicher indem er die vollständig eingezeichneten Leitungen durch Signalbeschriftungen in Form von Labels ersetzte³. Dieses Vorgehen ändert den Schaltplan der Platine nicht ab, verbessert seine Lesbarkeit jedoch deutlich. Zusätzlich wurden die Stützkondensatoren der ICs neu ausgelegt und Fehler in den von Krato erstellten Bausteinen entfernt.

Zeitgleich befasste sich Kleinz mit der Erstellung eines FPGA-Designs für das Zedboard. Für das Studienprojekt wurde die Entwicklungsumgebung Vivado in den Version 2013.3 (Kleinz) bis 2014.4 (Karmann) verwendet. Diese wurden stets in einer virtuellen Maschine bereitgestellt um Kompatibilitätsprobleme im Vorfeld auszuschließen. Das aktuelle FPGA-Design befindet sich im Anhang (Seite K). Die im Design festgehaltenen Pin-Zuordnungen auf dem Zedboard werden im Constraint-File gespeichert. Anhand dieser Datei, kann der Prozessor auf dem Board u.a. die Kontakte des FMC-Steckers zuordnen. Es ist das Software-Abbild der installierten Hardware.

¹ Der Footprint (Fußabdruck) eines Bauteils enthält die Information über die Kontaktflächen, die sich auf dem Board befinden müssen um das Bauteil in SMD-Bauweise anbringen zu können.

² Kleinz, 2014

³ Die zu dieser Zeit gewählten Bezeichnungen wurden später von Hannes Maletzke geändert.

1.3.3 Vorarbeit Maletzke¹

Auf dem von Kleinz zusammengesetzten Prototyp waren nicht alle Funktionen nutzbar. Entsprechend seinem Ausblick, war es die Aufgabe seines Nachfolgers diese Fehler zu beheben. Maletzke stellte bei seiner Analyse folgendes Auffälligkeiten fest:

- „Der Framepusher besitzt keine Funktion. Dies war darauf zurückzuführen, dass die Spannungsversorgung des Framepushers mit einem Datenpin vertauscht wurde. Dieser Fehler wurde durch Umlöten mittels zweier Kabelbrücken provisorisch behoben und im Anschluss erfolgreich getestet.
- Das Signal einer Datenleitung wird dauerhaft invertiert. An dieser Stelle wurden die Datenleitungen des differenziellen Signals vertauscht. Der Fehler wurde im Schaltplan erkannt und dort verbessert. Auf das Ausbessern am Prototypen selbst wurde verzichtet.²
- Die Serielle Schnittstelle weißt keine Funktion auf. Es konnte festgestellt werden, dass die beiden Empfänger- und die beiden Sender-Einheiten der Schnittstelle miteinander verbunden waren. Dieser Fehler wurde ebenfalls im Schaltplan behoben und durch eine neue Verdrahtung auf der Platine praktisch getestet.“³

Zusätzliches Verbesserungspotential fand Maletzke in der Größe der Prototypen sowie am FMC-Stecker:

Er kürzte die Platine in seinem Entwurf auf 65% der Ursprünglichen Breite. Die Länge der Platine blieb unverändert. Die Störanfälligkeit der Datenleitungen wird durch die Kürzung verringert.

Die Anzahl und Größe der Kondensatoren änderte er ebenfalls ab. Aus dem Vergleich seines Schaltplans mit dem von Kleinz ging hervor, dass er am Framepusher und am Framegrabber je fünf parallel geschalteten Kondensatoren mit je 100 nF zu

¹ Maletzke, 2014

² Meletzke hat an dieser Stelle nicht dokumentiert, an welcher Datenleitung der Fehler auftrat.

³ Vgl. Maletzke, 2014; Seite 10f

einem Kondensator mit 100 nF gekürzt hat. Gleichzeitig hat er die Kondensatoren näher an die IC-Bausteine platziert.

Dem Footprint des FMC-Steckers fügte er zwei zusätzliche Bohrungen hinzu. Mit diesen kann eine Schraubverbindung zwischen Zedboard und Erweiterungsplatine hergestellt werden. Durch geringe Toleranzen im bestehenden Footprint und während der Fertigung war diese Maßnahme leider nur in Teilen erfolgreich. Bei den zwei von Maletzke zusammen gesetzten Platinen sowie der Nachfolgeplatine aus dieser Studienarbeit stehen die Bohrungen von Board und Platine mit je unterschiedlichem Versatz übereinander.

Neben den oben aufgeführten Fehlerbehebungen und Verbesserungen hat Maletzke sämtliche Bezeichnungen im Schaltplan geändert. Aus diesem Grund hat er ihn vollständig neu erstellt. Er hat die Signale am Framepusher stets mit einem voran gestellten C_ für Camera und die Signale am Framegrabber mit G_ bezeichnet. David Kleinz hatte diese zuvor mit 01_ am Framepusher und 02_ am Framegrabber gekennzeichnet. Betrachtet man den Sendebaustein als Simulator der Kamera, so sind die neuen Bezeichnungen deutlich intuitiver gewählt.

Für die Signale der seriellen Schnittstelle vom Cameralink-Empfänger zum Cameralink-Sender wählte Maletzke folgende Bezeichnungen:

C_SERFFG (Camera SERiell From Frame Grabber) auf der „Kameraseite“
G_SERTC (Grabber SERiell To Camera) auf der „Framegrabberseite“

und analog vom Cameralink-Sender zum Cameralink-Empfänger:

C_SERTFG (Camera SERiell To Frame Grabber) auf der „Kameraseite“
G_SERFC (Grabber SERiell From Camera) auf der „Framegrabberseite“

Durch diese Wahl entstanden vier Bezeichnungen für effektiv zwei Signale die zwischen Sender und Empfänger ausgetauscht werden. An dieser Stelle hätten sicherlich sinnvollere Signalbezeichnungen gewählt werden können, indem man die beiden Verbindungen beispielsweise aus Sicht des Empfängers betrachtet hätte. Dadurch ergäben sich die Bezeichnungen:

C_SERTC und G_SERTC

sowie

C_SERFC und G_SERFC

Auf eine erneute Umbenennung der Signale wurde allerdings zu Gunsten einer möglichst einheitlichen Dokumentation verzichtet.

Unabhängig zum Schaltplan erstellte Maletzke einen Signallaufplan. Anhand dessen lassen sich die Verbindungen am Sender, vom Zedboard über den FMC-Stecker, die Platine zum MDR-Anschluss und am Empfänger in umgekehrter Reihenfolge zurück zum Zedboard nachvollziehen. Aufbauend auf seiner Version, wurden in der vorliegenden Studienarbeit die von ihm gewählten Bezeichnungen in den Plan eingetragen und zwei bestehende Fehler behoben. Die Bezeichnungen der FPGA-Pins der seriellen Schnittstelle am Empfänger (A22 & B22) waren vertauscht. Die Datenleitung des Signals C_D3 liegt an dem FPGA-Pin L21 an. Maletzke hatte J20 eingetragen. Der aktuelle Signallaufplan befindet sich im Anhang auf Seite I.

1.3.4 Bestehende Testprogramme

Zu Beginn der Studienarbeit standen zwei Testprogramme zur Verfügung. Zum einen ein simples Programm zum Testen der einzelnen Datenleitungen. Zum anderen ein umfangreicheres Programm, das selbstständig ganze Datensätze versendet, wieder empfängt und diese miteinander vergleicht. Beide Tests beruhen darauf, dass Sender und Empfänger auf der Erweiterungsplatine sitzen. Die beiden werden über das MDR-Kabel miteinander verbunden. Das Board schickt somit Daten an sich selbst, was die Auswertung erleichtert.

Das einfache Programm lässt sich über die Schalter am Zedboard steuern. Durch die vier unteren Schalter lässt sich der Modus des Programmes einstellen. Er bestimmt, welche Bits durch die vier oberen Schalter gesetzt und mit Hilfe der LEDs visualisiert werden. Über die LEDs wird stets ein Byte ausgegeben. Der Vier-Bit-Wert der Schalter wird sowohl in das obere, als auch in das untere Nibel dieses Bytes kopiert.

Bedeutung der Schalterstellung zur Steuerung des Programms:

D7	D6	D5	D4	D3	D2	D1	D0
\wedge D03 + 4 x Modus \wedge D07 + 4 x Modus	\wedge D02 + 4 x Modus \wedge D06 + 4 x Modus	\wedge D01 + 4 x Modus \wedge D05 + 4 x Modus	\wedge D00 + 4 x Modus \wedge D04 + 4 x Modus	Modus: 0000 = D00 – D07 0001 = D04 – D11 0010 = D08 – D15 0011 = D12 – D19 0100 = D16 – D23 0101 = D20 – D27			

Tab. 1: Bedeutung der Schalterstellung - altes Testprogramm

Das umfangreiche Programm wird über die Konsole am Computer gestartet. Es sendet vordefinierte Datensätze aus dem Flashspeicher über den Framepusher. Der Framegrabber empfängt durch die direkte Verbindung diese Daten wieder und schreibt sie in den Flashspeicher des Zedboards. Gleichzeitig zählt er die Takte der Übertragung. Im Anschluss werden die gesendeten Daten mit den empfangenen verglichen.

1.3.5 Neues Testprogramm

Während der Studienarbeit stellte sich heraus, dass das im vorherigen Kapitel zuerst aufgeführte Testprogramm nicht gut geeignet war um die TTL- und LVDS-Signale am Board während des Betriebes zu messen. Nach dem Verbinden von Zedboard und Erweiterungsplatine befinden sich Framepusher und Framegrabber auf der Unterseite der Platine. Die Schalter zum Verstellen der Datensignale befinden sich auf der Oberseite des Zedboards. In Folge dessen stellte Herr Dr. Heintz eine Weiterentwicklung des Programmes zur Verfügung. In diesem rotiert das Bitmuster 0x0000FFFF dauerhaft durch die Senderdaten. Die empfangenen Daten werden wieder in Abhängigkeit der Schalterstellungen durch die LEDs dargestellt. Die Geschwindigkeit der Rotation lässt sich ebenfalls über die Schalterstellung variieren. Mit dem neuen Programm lassen sich nun die Logiksignale am Framepusher deutlich einfacher messen, da nicht zeitgleich zur Messung die Schalter am umgedrehten Board erfüllt und verstellt werden müssen.

Bedeutung der Schalterstellung zur Steuerung des Programms:

D7	D6	D5	D4	D3	D2	D1	D0
0 = Rotation 1 = Standbild	3-Bit-Wert zur Variation der Geschwindigkeit: 0 = sehr langsam ... 7 = sehr schnell			0000 = D00 – D07 0001 = D08 – D15 0010 = D16 - 23 0011 = D24 – D28 + CC1 – CC4 0100 = C_SERTEFG + G_SERTEFG Sonst = '1'			

Tab. 2: Bedeutung der Schalterstellung - neues Testprogramm

1.4 Problemstellung dieser Arbeit

Die zwei Prototypen der überarbeiteten Version von Hannes Maletzke weisen unterschiedliche Fehler auf. Die Ursachen waren zu Beginn der Arbeiten an der Platine gänzlich unbekannt. Auch eine Eingrenzung auf einen Hardwarefehler auf dem Board, Softwarefehler in der FPGA Konfiguration oder in einem der Testprogramme war nicht gegeben. Bekannt war lediglich, dass Datenfehler auftraten und der vom Empfänger gemessene Takt anscheinend nicht mit dem des Senders übereinstimmte. Erkannt wurden die Unstimmigkeiten durch den Funktionstest, bei dem Daten vom Zedboard über die Cameralink-Schnittstelle an sich selbst gesendet wurden. Gesendete und empfangene Daten wurden daraufhin automatisch miteinander verglichen (Kapitel 1.3.4). Bei den verschiedenen Tests wurden beispielsweise von Platine Nr.1 Bits als logisch EINS empfangen, die jedoch als logisch NULL gesendet wurden. Platine Nr.2 zeigte kaum eine Reaktion am Empfänger auf eine Änderung der gesendeten Daten.

Ziel in erster Instanz war es nun die fehlerhaften Bits in den Daten zu detektieren und auf die Ursache der Beobachtung zu schließen. Als Ergebnis dieser Untersuchung sollte entschieden werden, ob eine weitere Neuauflage der Platine notwendig ist, um die Fehler beseitigen zu können.

In zweiter Instanz sollte selbstverständlich der Fehler behoben und die Platine mit den vorhandenen Testprogrammen in Betrieb genommen werden. Ist das Vorgehen erfolgreich, werden somit die Arbeiten an der Erweiterungsplatine zum Abschluss gebracht. In einem nächsten Schritt kann dann der fertige Empfängerbaustein mit der

Kamera verbunden und initialisiert werden. Auf diese Weise erhält man im Hinblick auf das Gesamtprojekt des Sortierers einen funktionsfähigen Hochgeschwindigkeits-Dateneingang für das Zedboard.

Zusätzlich zu der Dokumentation der Studienarbeit für die Hochschule sollen die gewonnen Erkenntnisse im Blog der Fakultät Technik vorgestellt werden.

2 Arbeit an der Platine

Unter die Einarbeitung in das Thema fiel auch eine Sichtprüfung der zur Verfügung gestellten Platinen. Bei dieser fiel auf, dass sich unter anderem an den Stiftkontakten der MDR-Stecker sehr viel getrocknetes Flussmittel befand. Diese Tatsache schränkt die Funktionsfähigkeit der Kontaktverbindungen zwar in keiner Hinsicht ein und stellt auch keine Kurzschlüsse her, kann jedoch kalte Lötstellen verdecken. Das Mittel selbst ist im inneren Kern des Lötzinns enthalten. Die große Menge davon zeigt, dass bei der Herstellung sehr viel Zinn bei großer Temperatur verwendet wurde. Dadurch ist das Lötzinn verdampft und das zurückgebliebene Flussmittel hat sich auf den Kontakten abgesetzt. Nach dem Entfernen des Flussmittels an einigen Kontakten war unklar, ob alle Verbindungen vorhanden waren oder sich kalte Lötstellen gebildet hatten.

Ebenfalls fiel auf, dass der Framepusher sowie der FMC-Stecker nicht plan auf der Platine lagen. Unterhalb des FMC-Steckers waren keine offensichtlichen Brücken zu erkennen. Da die Kontakte unterhalb des Steckers liegen, können sie nur bedingt eingesehen werden. Deshalb konnte nicht eindeutig festgestellt werden, ob unterhalb des Steckers Brücken vorhanden oder etwaige Verbindungen nicht hergestellt waren. Die Pins des Framepushers hatten alle Kontakt zu den Flächen auf der Platine. Dadurch, dass das Bauteil nicht eben aufsaß, wurden die Verbindungen teilweise wieder mit viel Zinn hergestellt. Diese Methode beeinflusst die Leitfähigkeit der Leitungen zum Negativen.

2.1 Geplantes Vorgehen

Aus den während der Einarbeitung in das Thema gewonnenen Erkenntnissen wurde das folgende Vorgehen bei der Arbeit an den Platinen angedacht:

Da die Platine 2¹ deutlich weniger Funktion aufwies, als Platine 1 sollte bei ihr auf eine Fehleruntersuchung verzichtet werden. Für Platine 1 sollte ein Test mit dem einfachsten zur Verfügung stehenden Programm durchgeführt und der aktuelle Stand dokumentiert werden. Im Anschluss können die Leitungen der fehlerhaften Signale mit dem Multimeter auf Unterbrechungen geprüft und anliegende Signale mit dem

¹ Die baugleichen von Maletzke bestückten Prototypen wurden von ihm schlicht durchnummeriert um sie unterscheiden zu können.

Oszilloskop verfolgt werden. Auf diese Weise sollten Hardwarefehler gefunden bzw. ausgeschlossen werden. Aufbauend auf die Ergebnisse wird entschieden, ob es nötig ist eine neue Platine anfertigen zu lassen oder ob die Fehler anderweitig behoben werden können.

2.2 Tatsächliches Vorgehen

Um sich schnell mit der Erweiterungsplatine und dem Zedboard vertraut zu machen wurde zu Beginn das oben beschriebene „simple Programm“ verwendet.

2.2.1 Bestandsaufnahme

Mit Hilfe der Schalter am Zedboard wurden die einzelnen Datenbits der Reihe nach auf die LED-Ausgänge gelegt. Der Test der Platine 1 ergab, dass die Bits D_22, D_23 und D_24 fehlerhaft waren. Alle drei wurden stetig als logisch EINS ausgegeben. Die Daten D_0 bis D_21, D_25 bis D_27 sowie die Kommandobefehle CC_1 bis CC_4 funktionierte ordnungsgemäß.

Während der Prüfung blinkten von Zeit zu Zeit die LEDs am Board. Die Ursache wurde an zwei Stellen vermutet:

Die bestehende Befestigung der Erweiterungsplatine am Zedboard wurde über zwei Distanzschrauben M 2,5 realisiert. Diese wurden rechts und links des FMC-Steckers durch zusätzliche Bohrungen geführt und mit Muttern gekontert. Auf der Board-Seite wurden sie mit entsprechenden Senkkopfschrauben fest gehalten. Die Distanzstücke wurden geringfügig zu groß gewählt, sodass leichtes Spiel zwischen Stecker und Buchse bestand. Die Distanzschrauben wurden entfernt und durch Kunststoffschrauben M3 ersetzt. Sie können keine leitende Verbindung zwischen Board und Erweiterungsplatine herstellen. Die Wahl des Materials war eine zusätzliche Vorsichtsmaßnahme um eine unbeabsichtigte Verbindung zwischen den beiden Bauteilträgern auszuschließen. Durch das durchgehende Gewinde kann nun die Mutter fest auf die Schraube gezogen werden bis kein Spiel mehr besteht.

Ebenso stellte die MDR-Steckverbindung einen häufiger auftretenden Wackelkontakt dar. Die auf der Platine verwendeten Buchsen besitzen Haken um eine schnellrastende Klippverbindung herzustellen. Zusätzlich sind nach hinten versetzte Innengewinde M 2,5 vorhanden. Das verwendete Verbindungskabel besitzt zwei Stecker für Schraubverbindungen. In der Kombination sind die Schrauben zu kurz um in den Gewinden der Buchsen zu greifen. Aus diesem Grund wurden zu den Buchsen emp-

fohlene Hebeschrauben bestellt und angebracht. Trotzdem konnten die Schrauben der Stecker nicht in den komplett versenkten Hebeschrauben greifen. Dies gelingt nur, wenn die Schrauben leicht heraus gedreht sind und die Stecker dann festgezogen werden. Alternativ kann mit Unterlegscheiben ein passender Abstand des Schraubenkopfes zum Gewinde an der Buchse eingestellt werden.

2.2.2 Überarbeitung der Platine 1

Die fehlerhaften Datenleitungen D_22, D_23 und D_24 liegen an drei benachbarten Beinen der ICs an. Zwischen zwei Pins des Framepushers war eine Brücke zu sehen. Da er zudem nicht vollständig auf der Platine auf lag wurde rasch entschieden die Kontakte neu zu löten. Dies galt auch für die Kontakte der MDR-Buchsen um Kontaktfehler auszuschließen. Die Brücke zwischen den IC-Beinen konnte mit Mühe entfernt werden. Im Nachhinein stellte sich heraus, dass es sich um zwei benachbarte Masse-Pins handelte. Die Zinn-Verbindung wurde durch die auf der Platine befindliche Leitung begünstigt. Das Entfernen der Brücke war somit überflüssig. An den MDR-Buchsen konnten hingegen durch die Nachbearbeitung kalte Lötstellen geschlossen sowie der Framepusher eben aufgesetzt werden.

Bei erneuter Inbetriebnahme der Erweiterungsplatine zeigte sich, dass diese Maßnahmen keineswegs von Erfolg gekrönt waren. Abgesehen davon, dass die Daten weiterhin nicht korrekt übertragen wurden, begann es auf der im Betrieb unteren Seite der Erweiterungsplatine zu Dampfen. Daraufhin wurde der Test abgebrochen und die Ursache ermittelt. Der Dampf selber bestand aus Löt-Fett, das sich noch zwischen den IC-Beinen befand und schwer zu entfernen ist. Das Fett selber bildet keine leitenden Verbindungen. Es war in diesem Fall allerdings Indikator für einen extrem heiß gewordenen Pin am Framepusher. Dieser erhitze durch einen sehr großen in ihm fließenden Strom das Fett bis zu dessen Siedepunkt. Bei einer erneuten Sichtprüfung aller Kontakte konnte jedoch keine Brücke ausgemacht werden. Die Messung mit dem Multimeter ergab hingegen einen geringen Widerstand von 30 Ω zwischen Versorgungsspannung und Masse. Dieser Widerstand wurde über einem Stützkondensator der Schaltung gemessen und kommt einem Kurzschluss sehr nahe. Da eine Brücke nicht unmittelbar auszumachen war, wurde das geplante Vorgehen geändert und die Fehlersuche auf der Platine 2 fortgesetzt. Bei ihr lag die Fehlerursache offensichtlich unterhalb des FMC-Steckers. Dieser besaß einen deutliche-

ren Abstand zur Platine. Auf diese Weise sollte die Platine 2 als Probe für eine eventuelle Erneuerung des Steckers auf Platine 1 dienen.

Aufgrund der Ergebnisse des folgenden Kapitels 2.2.3 wurde die Arbeit an dieser Stelle jedoch nicht wieder aufgenommen. Zum Ende der Studienarbeit hin zeigte sich ein sehr ähnlicher Fehler auf der neu erstellten Platine. Dieser konnte hingegen deutlich besser lokalisiert und durch den Austausch des Framegrabbers behoben werden. Die gleiche Maßnahme könnte an dieser Stelle ebenfalls Erfolg bringen. Eingeständnisse müssen dann allerdings im Hinblick auf die ebenfalls im folgenden Kapitel beschriebenen konstruktiven Mängel der Platine gemacht werden.

2.2.3 Überarbeitung der Platine 2

Die Ursache für die geringe Funktionsfähigkeit der Platine 2 erschien recht eindeutig. Es war ein deutlicher Spalt zwischen dem FMC-Stecker und der Leiterplatte zu sehen. Die Wahrscheinlichkeit, dass aus diesem Grund nicht alle Kontakte verbunden waren war hoch. Vermutlich wurde der Stecker bei zu geringer Hitze im Reflow-Ofen gelötet, wodurch er sich nicht vollkommen setzte.

Um möglichst nur den Stecker von der Platine zu lösen wurde die Entlötstation¹ der Dualen Hochschule verwendet. Diese wärmt durch ein Gebläse die Platine von unten vor. Gleichzeitig kann sie von oben mit einer Wärmelampe bestrahlt werden. Über Blenden an der Lampe wurde die Strahlung ausschließlich auf den Stecker gerichtet. Durch vorsichtiges Hebeln mit zwei Schraubendrehern konnte so der Stecker gelöst werden. Auf der Platine waren nicht alle Kontaktflächen mit Leitungen verbunden. Viele der unverbundenen Plättchen lösten sich bei dem Vorgang von der Platine und blieben an den Stecker-Pins hängen. Abb. 5 zeigt eine Kontaktfläche, die mit einer Leiterbahn verbunden ist (links) und eine Stelle, an der sich die Kontaktfläche gelöst hat (rechts) im Vergleich. Umgekehrt blieben Pins an der Leiterplatte hängen. Diese wurden abgelötet und anschließend wieder in den FMC-Stecker eingesetzt, um diesen erneut verwenden zu können.

¹ Die Station ist bei Herrn Madjzoub im Labor zu finden.

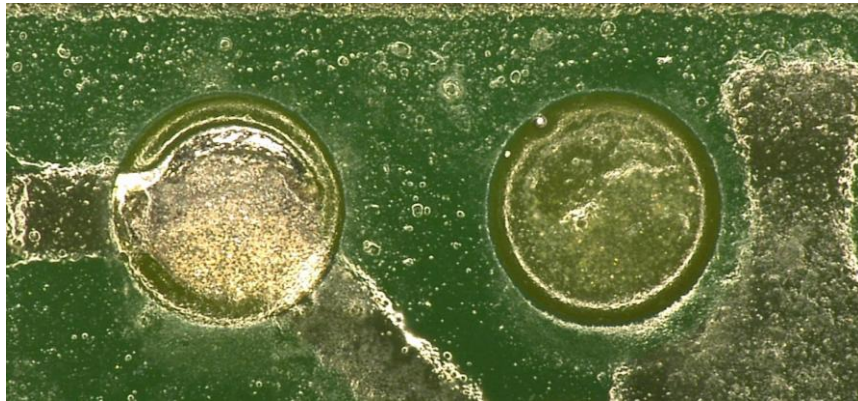


Abb. 5: Kontaktflächen nach dem Lösen des FMC-Steckers

Durch das Lösen wurden unterhalb des Steckers Durchkontaktierungen sichtbar. Diese lagen sowohl zwischen den zwei Bänken des Steckers, als auch mittig zwischen vier Kontaktflächen, wie Abb. 6 zeigt. Die Aufnahme entstand unter dem Mikroskop mit ca. 20-facher Vergrößerung.

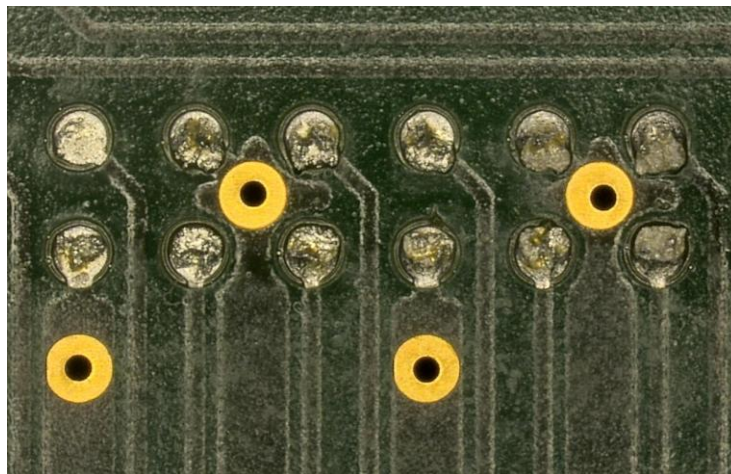


Abb. 6: Durchkontaktierungen zwischen den Kontaktflächen

Die Kontaktierungen mittig zwischen den Bänken sind relativ unkritisch. Die zusätzlichen Flächen zwischen den Kontakten bieten hingegen ein großes Potential für ungewünschte Kurzschlüsse gegen Masse. Die Rückverfolgung ergab, dass sich die Kontaktierungen bereits im Entwurf von David Kleinz an diesen Stellen befanden. Auch wenn augenscheinlich noch keine Funktionsstörungen unmittelbar dadurch auftraten, wurde entschieden ein erneutes Layout anzufertigen.

2.2.4 Neubestellung der Platine

Das neue Layout umfasst folgende Veränderungen zu seinem Vorgänger:¹

- Die Durchkontaktierungen wurden verschoben, sodass sie nicht mehr zwischen den Kontaktflächen des FMC-Steckers sitzen. Dafür mussten vereinzelt neue Leitungen gezogen werden. Drei Kontaktierungen für Signalleitungen zwischen den Bänken des Steckers sind hingegen geblieben (vgl. Abb. 24: Layout im Anhang). Auch Kontaktierungen unterhalb der ICs wurden verschoben, sodass sie weiter von den Beinen weg sitzen.
- Der Bereich unterhalb des FMC-Steckers wurde mit einer Restriktionsfläche belegt. So wird durch die Ratsnet-Funktion des EAGLE-Editors an dieser Stelle keine leitende Fläche eingeführt. Ohne die Kontaktierung zur Masse würden diese als Antenne für Störsignale wirken. Zudem wird der Abstand zwischen den Leitungen vergrößert.
- Die MDR-Buchsen wurden weiter auseinander gesetzt (siehe Abb. 7). Auf der Platine von Hannes Maletzke saßen die Stecker direkt aneinander (unten). Dies erschwerte das Anziehen der Sicherungsschrauben. Bei dem neuen Layout-Entwurf liegt etwas Luft zwischen den Buchsen (oben).



Abb. 7: Position der MDR-Buchsen im Vergleich

¹ Hinweise zur Erstellung finden sich in Kap. 2.3 Allgemeine Layout-Hinweise

- Leitungen führten teilweise sehr nah an den Bohrungen für die Verschraubung von Erweiterungsplatine und Zedboard vorbei. Um die Löcher beispielsweise aufbohren zu können und die Leitungen vor mechanischen Einflüssen zu schützen, wurden die sie weiter außen herum gelegt.
- Für die neu verlaufenden Leitungen wurde zusätzlicher Platz benötigt. Außerdem erschien der Abstand zwischen verschiedenen Leitungen und Kontaktflächen sehr gering. Der Platz wurde gewonnen indem die Leitung der Versorgungsspannung verschmälert wurde. Sie wurde an die Breite der anderen Leitungen angeglichen. Dies geschah ohne darauf zu achten, um welche Leitung es sich in diesem Fall handelte, was wiederum negative Auswirkungen auf die Funktion haben kann.

Die Bohrungen für die Verschraubung rechts und links des FMC-Steckers blieben unberührt. Sie scheinen jedoch nicht optimal platziert zu sein. Nach Neuaufbau der Platine sitzen die Verbindungsschrauben nicht senkrecht zu den Leiterplatten.

Nach dem Einschalten der neu erstellten Platine¹ zeigte sich eine deutlich geringere Funktionsfähigkeit als bei seinem Vorgänger. Nach kurzer Betriebszeit stieg erneut Dampf auf. Ein Kurzschluss am Framepusher erhitze restliches Löt-Fett erneut. Die Ausmaße der großen Hitzentwicklung sind in Abb. 8 zu sehen. Die Aufnahme zeigt die Leiterplatte nach entfernen des Framepushers unter dem Mikroskop. Der Kurzschluss bestand zwischen der fünften (Masse) und sechsten (VCC) Kontaktfläche von links.

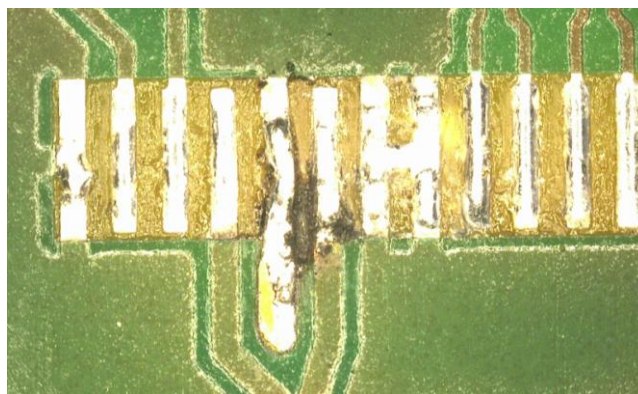


Abb. 8: Folgen des Kurzschluss auf der Platine

¹ Die Nutzung des Reflow-Ofens zur Erstellung der Platine wird in Kapitel 2.4 beschrieben.

Nach Austausch des ICs war der Kurzschluss behoben, die vollständige Funktion allerdings nicht gewährleistet.

2.2.5 Messung an der neuen Platine

Da die neu erstellte Erweiterungsplatine nicht von Beginn an funktionierte, war eine erneute Bestandsaufnahme der Fehler nötig. Hierfür wurde das neue Testprogramm verwendet. Über die LEDs wurden die einzelnen Ausgänge zur Anzeige gebracht, wobei über die Hälfte der Datenbits fehlerhaft waren. Bei genauerer Betrachtung zeigte sich, dass zwei der vier seriellen Übertragungsgruppen komplett ausgefallen waren. Wie in Abb. 9 zu sehen, wurden daraufhin zwei Löt-Fähnchen aus Kupferlackdraht am Framepusher angebracht. An dem linken Fähnchen lässt sich der Takt messen, am rechten das funktionierende Logiksignal D_27 als Referenz. Zusätzlich wurde ein Abgriff an der Masse angelötet (schwarze Litze rechts).

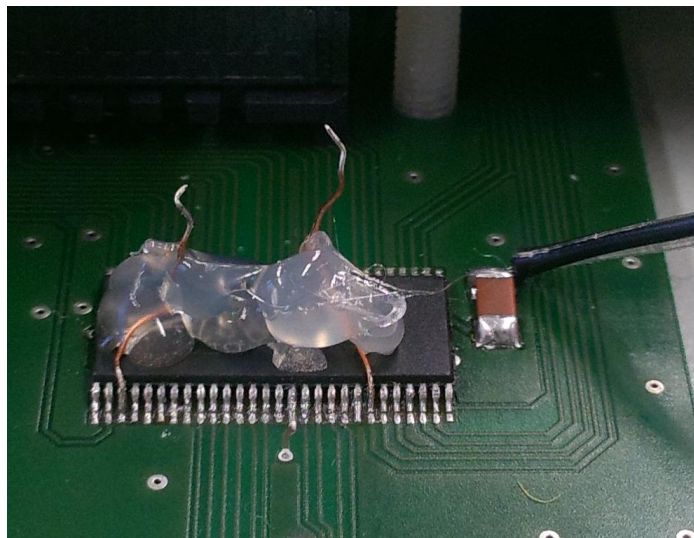


Abb. 9: Löt-Fähnchen am Framepusher

Mit dem Oszilloskop wurden nun sowohl die Pegel der parallelen Logiksignale am Framepusher, als auch die Differenziellen Signale zwischen Sender und Empfänger überprüft. Die Funktionsfähigkeit der einzelnen Signale ist in Tab. 3 im Anhang abgebildet. Aus der Tabelle geht hervor, dass nur einzelne Logik-Signale am Framepusher gestört sind. Es handelt sich hierbei um die Signale C_D7, C_D9, C_D16 sowie C_D17. Durch die Rotation des Musters im Testprogramm entsteht ein symmetrisches Rechteck-Signal, dass sich am Oszilloskop darstellen lässt. Über das Referenz-

renzsignal, lässt sich sogar eine Verschiebung der einzelnen Pulsfolgen darstellen. Keines der vier gestörten Logiksignale lag vollständig auf einem Potential. Alle vier wiesen ein Rechtecksignal mit deutlich geringeren Peek-to-Peek-Spannungen auf. C_D7 und C_D9 wurden gegen Masse gezogen, C_D16 sowie C_D17 gegen Versorgungsspannung. Ihr Signalverlauf ist schematisch in Abb. 10 dargestellt. Der Puls links entspricht den Signalen C_D16 und C_D17, der rechte entspricht den Signalen C_D7 und C_D9. Mittig ist der Verlauf eines intakten Signals zum Vergleich dargestellt.

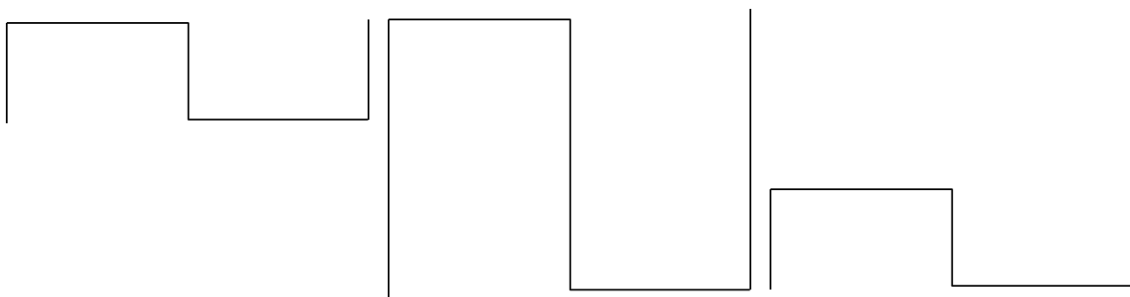


Abb. 10: Schematischer Signalverlauf der gestörten Bits

In der Tabelle im Anhang ist ebenso aufgelistet, dass die seriellen Übertragungen X_0 und X_1 zwischen Framepusher und Framegrabber defekt sind. Das Differenzsignal wurde zur Anzeige auf dem Oszilloskop gebracht. Abb. 11 zeigt das Signal G_X2 der funktionierenden Übertragungsgruppe X2.

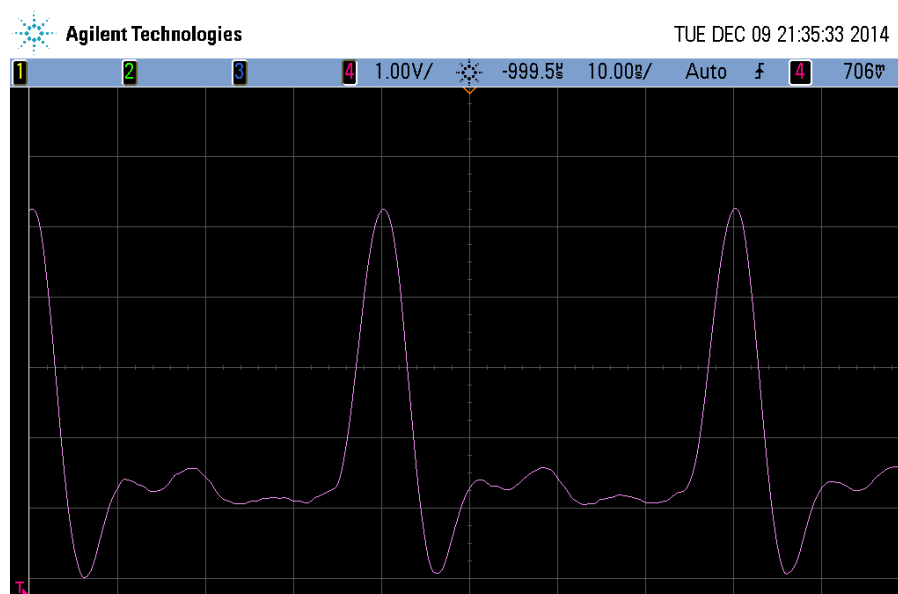


Abb. 11: Differenzsignal G_X2

Es wurde über dem Widerstand am Framegrabber gemessen. Das verwendete Oszilloskop besitzt eine Grenzfrequenz von 100 MHz. Das Differenzsignal wird in einer ähnlichen Größenordnung zwischen Sender und Empfänger übertragen. Folglich kann das Signal nicht korrekt zur Anzeige gebracht werden. Im Vergleich ähneln sich die intakten Signale der vier Übertragungsgruppen jedoch stark, wodurch der Anzeigefehler vernachlässigt werden kann.

Abb. 12 zeigt das Signal G_X0 der nicht funktionierenden Übertragungsgruppe X0 bei gleichen Einstellungen am Oszilloskop. Es wurde ebenfalls über dem Widerstand am Framegrabber gemessen. Der Unterschied zum Signal G_X2 ist deutlich ersichtlich.

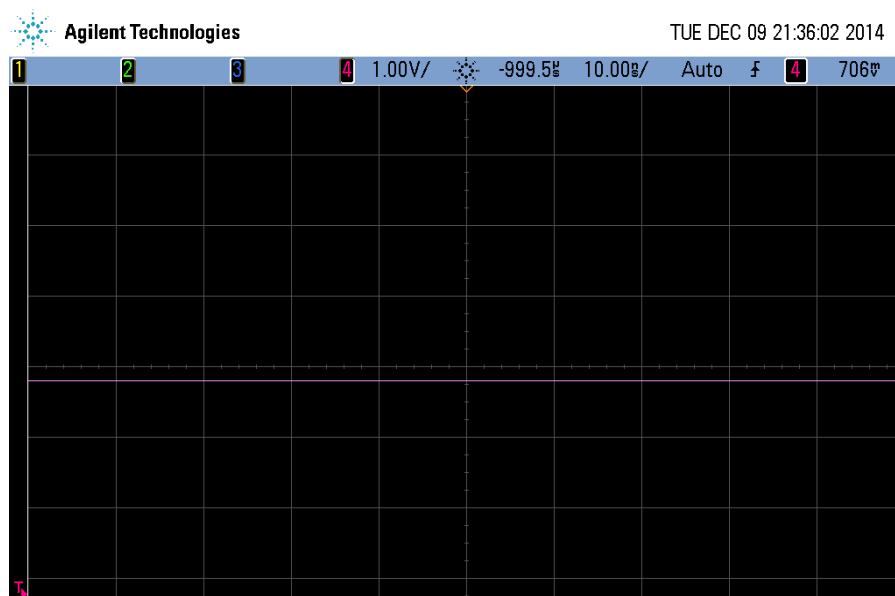


Abb. 12: Differenzsignal G_X0

Daraufhin wurde das Verbindungskabel zwischen Sender und Empfänger entfernt und das Signal _X0 an der MDR-Buchse gemessen. Für diese Messung war ein zusätzlicher Widerstand von 100 Ω notwendig. Der Abschlusswiderstand der Differenziellen Leitung befindet sich am Framegrabber. Da die Verbindung dort hin unterbrochen wurde, musste der Widerstand ersetzt werden. Das Signal G_X0 am Framegrabber trägt auf der Seite des Framepushers die Bezeichnung C_X0 und ist in Abb. 13 dargestellt. Hier ist ein geringer Ausschlag des Pegels zu erkennen.

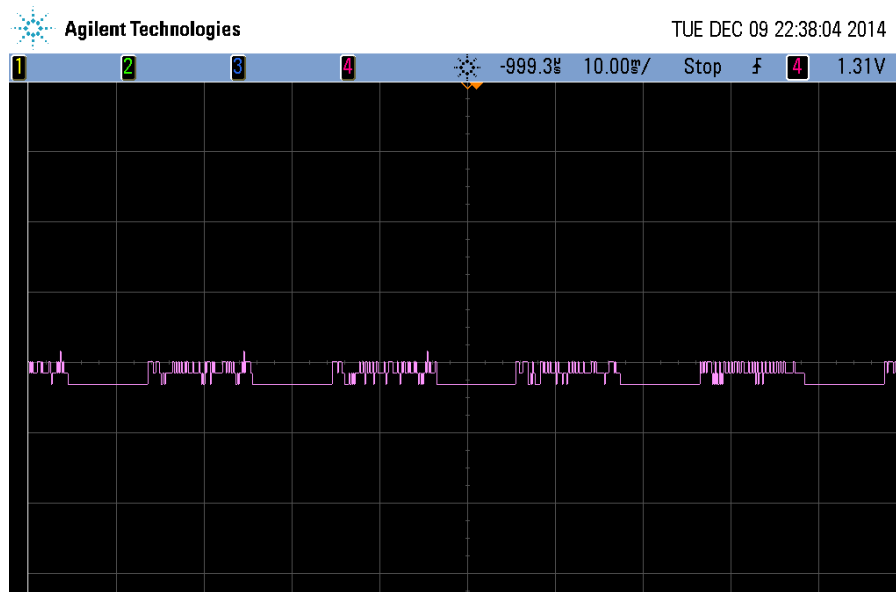


Abb. 13: Differenzsignal C_X0

Daraufhin wurde die Verbindung zwischen Sender und Empfänger mit dem Multimeter durchgemessen. Die Messung ergab, dass weder eine Unterbrechung, ein Kurzschluss vorhanden noch die Leitung hochohmig war. Der erneute Austausch des Framepushers scheint an dieser Stelle die nächste Wahl zu sein. Der Arbeitsschritt wurde in dieser Studienarbeit nicht mehr ausgeführt.

Herrn Dr. Heintz äußerte Bedenken bezüglich der verschmälerten Leitung der Versorgungsspannung. Diese sollte bereits in den Vorarbeiten als Ring alle Bausteine erreichen und so eine ordnungsgemäße Versorgung sichern. Dies ist hingegen jedoch nicht realisiert worden. Die Konstruktionsfehler fielen erst nach Erhalt der neuen Platine auf. Um eventuelle Einbrüche der Versorgungsspannung aufzuzeichnen, wurde diese über dem Kondensator am Framepusher mit dem Oszilloskop gemessen. In Abb. 14 sind die Schwankungen der Versorgungsspannung dargestellt. Die Aufnahme zeigt ausschließlich den Wechselspannungsanteil. Dieser schwankt im Schnitt von Peek zu Peek mit 74 mV. Auch der Maximalwert von 124 mV Schwankung der Spannung ist in der Regel vernachlässigbar. Der Gleichspannungsanteil wurde mit 3,3V ohne sichtbare Einbrüche gemessen.

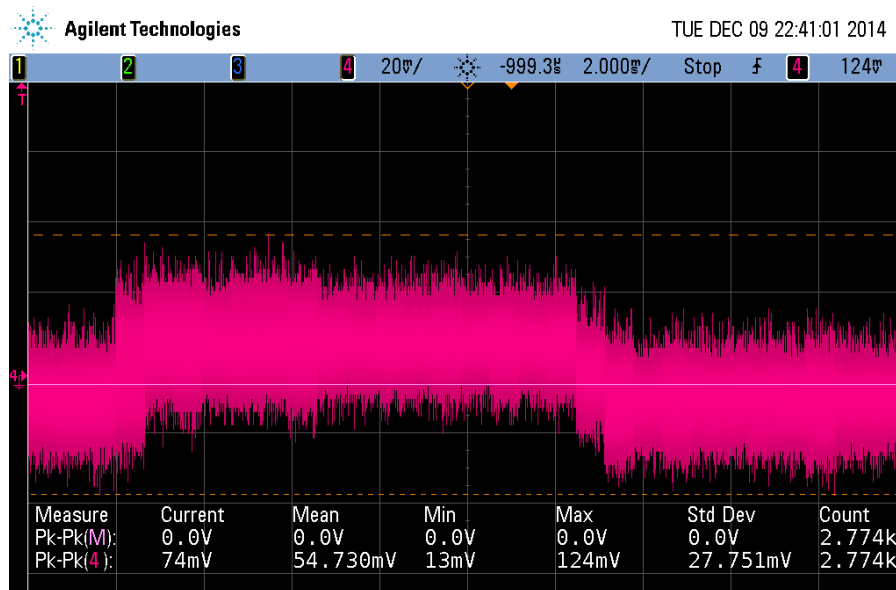


Abb. 14: Schwankungen der Versorgungsspannung am Framepusher

Durch eine Kabelbrücke vom FMC-Stecker hin zum letzten Bauteil in der Linie der Spannungsversorgung wird die Schaltung dennoch verbessert. Die Maßnahme sollte spätestens in einem weiteren Layout-Entwurf umgesetzt werden.

2.3 Allgemeine Layout-Hinweise

Bei der Erstellung der Platinen-Layouts sind im Verlauf der Entwicklung verschiedene Erfahrungen gemacht worden. Das Kapitel fasst sie zusammen und gibt eine Übersicht über Punkte, die bei einer Layout-Erstellung beachtet werden sollten.

2.3.1 Wahl der Version von EAGLE

CadSoft stellt stetig die aktuelle Version von Eagle (stand Dez. 2014: Version 7) als Light Edition zur Verfügung. Sie darf nicht kommerziell genutzt werden. Die Platinen-Größe ist bei ihr auf 100 x 80 mm, die Layer-Anzahl auf zwei sowie der Schaltplan auf eine Seite begrenzt.

Die Hochschule besitzt ebenso die Vollversion des Programms in der Version 6. Für das Layout der Erweiterungsplatine wurde die EAGLE Light Edition in der Version 7 verwendet. Sie ist für die gesetzten Ansprüche ausreichend und kann auf dem privaten Rechner verwendet werden. Zu beachten ist, dass bei der Nutzung der Vollversion an der DHBW Kompatibilitätsprobleme auftreten können.

2.3.2 Längen und Verlauf der Datenleitungen

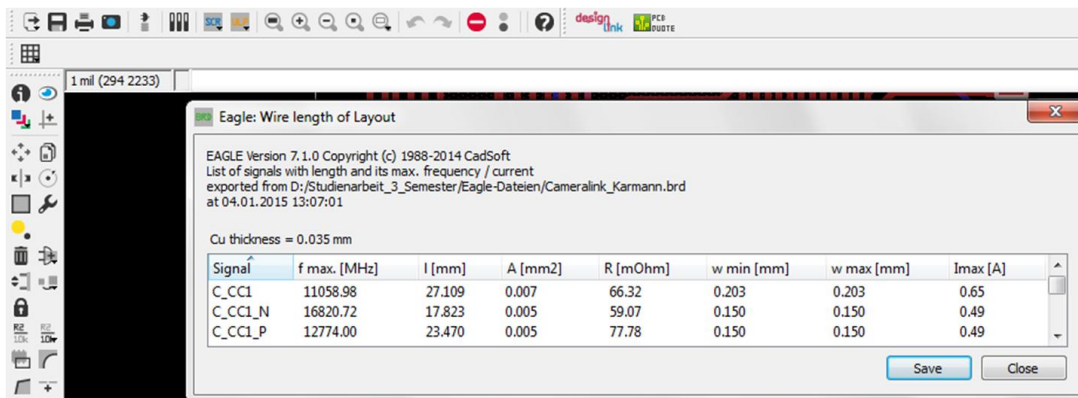
Die Firma Altera (Hersteller für integrierte Schaltkreise und Platinen) hat eine Richtlinie für die Verlegung von LVDS-Signal-Leitungen herausgegeben¹. Diese Erfahrungswerte, sollten bei Änderungen im Layout Berücksichtigt werden

- Die differenziellen Daten-Leitungen sollten mit konstantem Abstand so nah wie möglich beieinander verlegt werden.
- Die Leitungslänge und -Breite eines differenziellen Leitungspaares sollte identisch sein.
- Durchkontaktierungen, Steckverbindungen oder andere Änderungen der Datenleitung sollten nach Möglichkeit vermieden werden.
- Um eine 90° Kurve der Datenleitung zu realisieren, werden zwei Kurven zu je 45° verwendet.
- Der Abschlusswiderstand einer Leitung sollte so nah, wie möglich am Empfänger sitzen, kleiner 7 mm.

¹ ALTERA, 2010; Board Design Guidelines for LVDS Systems; vgl. Ebenfalls die Auflistung

- Die Leitungslängen aller Paare sollten ebenfalls gleich sein.
- Die Belastung eines jeden Leitungspaares muss gleich sein

Um die Leitungslängen zu vergleichen, kann der Befehl „run length-freq-ri“ verwendet werden. Der Befehl wird in die Kommandozeile (oben) eingegeben und mit Enter bestätigt. Die in Abb. 15 gezeigte Tabelle erscheint.



Eagle: Wire length of Layout

EAGLE Version 7.1.0 Copyright (c) 1988-2014 CadSoft
List of signals with length and its max. frequency / current
exported from D:/Studienarbeit_3_Semester/Eagle-Dateien/Cameralink_Karmann.brd
at 04.01.2015 13:07:01

Cu thickness = 0.035 mm

Signal	f max. [MHz]	l [mm]	A [mm ²]	R [mOhm]	w min [mm]	w max [mm]	Imax [A]
C_CCI	11058.98	27.109	0.007	66.32	0.203	0.203	0.65
C_CCI_N	16820.72	17.823	0.005	59.07	0.150	0.150	0.49
C_CCI_P	12774.00	23.470	0.005	77.78	0.150	0.150	0.49

Save Close

Abb. 15: Leitungslängen in Eagle

Der Tabelle wurden Leitungsdifferenzen von 6,06 mm am Framepusher und 6,69 mm am Framegrabber entnommen. Im schlimmsten Fall (jeweils längste Leitung an Framegrabber und Framepusher gegenüber der kürzesten Leitung) entsteht somit eine Gesamt-Leitungsdifferenz von 12,75 mm. Diese Strecke führt zu 63,75 ps Verzögerung zwischen den Signalen, wenn 2/3 der Lichtgeschwindigkeit als Ausbreitungsgeschwindigkeit angenommen wird. Die sieben Bits einer Übertragungsgruppe werden in $1 / (85 \text{ MHz}) = 11,76 \text{ ns}$ übertragen. Ein einzelnes Symbol bzw. ein einzelnes Bit steht bei somit 1,68 ns an. Die Verzögerung durch die unterschiedlichen Leitungslängen ergibt sich daraus mit $63,75 \text{ ps} / 1,68 \text{ ns} = 3,79\%$. Die Abweichung bei dem aktuellen Platinen-Entwurf liegt in dem von Herrn Dr. Heintz gestellten Rahmen von 5%. Ein geringerer Wert ist hingegen wünschenswert.

2.3.3 Größenverhältnisse

In Kapitel 2.2.3 wurden die Durchkontaktierungen unterhalb des FMC-Steckers und möglichen Folgen beschrieben.

Sie wurde teilweise zwischen die Kontaktpins des Steckers gelegt beziehungsweise nicht von dort entfernt, da die Abstände im Layout-Editor nicht richtig eingeschätzt

wurden. Durch die Zoom-Funktion lässt sich der Abstand zwischen Kontakten, Steckern und Leitungen beliebig für das Auge vergrößern. Ebenso spricht der Design-Rule-Check¹ an dieser Stelle nicht an, da es technisch möglich ist die Platine mit diesen Abständen zu fertigen. Die semi-professionelle Bestückung an der Hochschule kann die Präzision des Herstellers hingegen nicht immer erreichen.

Aus diesem Grund empfiehlt es sich zum einen das Rastermaß des Editors auf Millimeter einzustellen (Grundeinstellung sind Zoll/Inch). So kann eine Sichtprüfung am Bildschirm Fehler dieser Art aufdecken. Mit Hilfe des Editors können auch Abstände gemessen werden, die helfen können eine Entscheidung diesbezüglich zu treffen. Alternativ Hilft es, einen Ausdruck des Layouts im Maßstab 1:1 zu erstellen.

Zusätzlich zu der Fehleinschätzung durch die Zoom-Funktion ist zu beachten, dass die Kontaktflächen-Größen etc. gegenüber dem Layout-Entwurf leicht variieren können!

2.3.4 Masseflächen

Die freien (schwarzen) Flächen im Layout Editor werden in der Realisierung zu Masseflächen. Dies hat mehrere Gründe: Zum einen ist es fertigungstechnisch effektiver lediglich einzelne Leitungen aus der Kupferoberfläche heraus zu fräsen bzw. zu ätzen und nicht verwendete Bereich einfach stehen zu lassen. Zum anderen werden diese Flächen mit Masse verbunden. So dienen sie als niederohmiger Rückleiter und Schirmung gegenüber Störung, die auf die Leitungen einwirken.

Mit der Ratsnest-Funktion des Editors lassen sich die Frei-Flächen automatisch mit Material füllen. Dies sollte einer der letzten Arbeitsschritte sein, der unter keinen Umständen abgespeichert werden sollte. Die Funktion ist nicht durch den entsprechenden Button rückgängig zu machen. Für die Herstellung der Platine kann das Layout ohne den Arbeitsschritt an den Hersteller übergeben werden.

An Manchen Stellen kann es Vorteile bringen solche Flächen zu verhindern, beispielsweise wenn es nicht möglich ist die angelegte Fläche mit Masse zu verbinden. Dann wirkt die Fläche als Störanenne auf der Platine.

Um ungewollte Flächen zu vermeiden können Restriktionsbereiche erstellt werden (Abb. 16 rot gepunktete Fläche). Dazu wird links in der Spalte das Werkzeug „Polygon“ ausgewählt (In der Abbildung ist das Feld selektiert). Im oben abgebildeten

¹ Der Design-Rule-Check (DSR) wird zum Schluss durchgeführt. Siehe Kapitel 2.3.5

Drop-Down-Feld kann nun tRestrict (Top Layer) oder bRestrict (Bottom Layer) gewählt und die Fläche eingezeichnet werden.

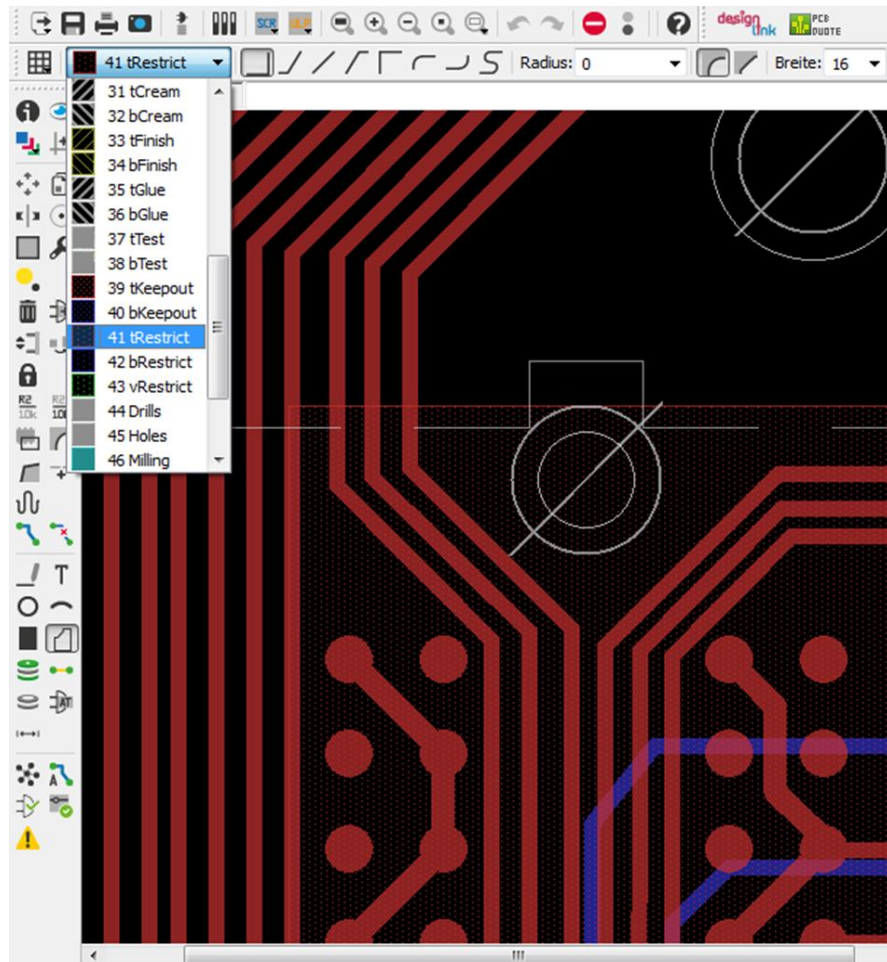


Abb. 16: Einfügen von Restriktionsflächen

2.3.5 Design-Rule-Check

Zum Abschluss der Arbeit ist das Platinen-Layout auf Design-Fehler zu überprüfen. Die Platinen-Hersteller bieten für diesen Zweck Implementierungen für die Editoren an, die kontrollieren, ob die Fertigungstechnischen Maße eingehalten werden. Darunter fallen Mindestabstände, Mindestleiterbahnbreiten, Mindestbohrdurchmesser etc. Der Design-Rule-Check befindet sich links unten in der Werkzeugspalte. Das Symbol zeigt eine Leiterbahn, eine Durchkontaktierung sowie einen grünen Haken. Im Anschluss erscheint ein Fenster, in dem rechts unten „Prüfen“ auszuwählen ist. In einem neuen Fenster wird nun eine Liste mit Fehlern und Warnungen abgebildet. Die sollten, wenn möglich allesamt behoben werden und der Test erneut durchge-

führt werden. In der folgenden Abbildung ist das Fenster mit den Fehlern und Warnungen gezeigt. Es wird in diesem Fall „Clearance“ bemängelt und beim Markieren des Fehlers, die entsprechende Stelle auf der Platine angezeigt. An dieser Stelle verlaufen die Leiterbahnen zu dicht aneinander. Darunter befinden sich mehrere Warnungen „Restrict“. Diese entstehen, sobald man Masseflächen wie in Kapitel 2.3.4 untersagt.

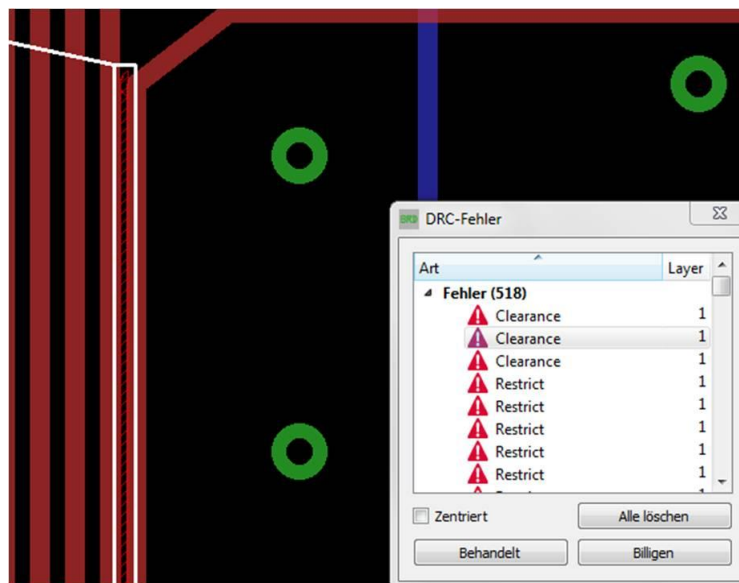


Abb. 17: DRC-Fehlerliste

In diesem Projekt wird der so genannte Design-Rule-Check der Firma PCB-POOL (Beta Layout) verwendet. Er lässt sich von ihrer Homepage downloaden und ist bereits im Studienarbeitsprojekt implementiert.

2.4 Reflow-Löten des FMC-Steckers

Der FMC-Stecker besitzt die Kontaktpins auf seiner Unterseite. Aus diesem Grund ist es nicht möglich ihn durch Löten per Hand auf der Platine anzubringen. Um die Pins mit den Kontaktplatten zu verlöten wurde das Reflow-Verfahren angewendet. Bei diesem Verfahren wird Löt-Paste auf die Kontaktflächen der Platine aufgebracht und im Anschluss die SMD-Bauteile aufgesetzt. In diesem Zustand wird die Platine in den Ofen gegeben, wodurch sich die aufgebrachte Löt-Paste verflüssigt. In gleicher Weise wie beim Löten per Hand entsteht so nach dem abkühlen eine elektrische und mechanische Verbindung zwischen Pins und Kontaktflächen.

Der in Abb. 18 abgebildete Ofen ist Eigentum der Dualen Hochschule und wurde für das Löten der Platine verwendet. Er ist nach dem Einschalten über die vier Pfeil-Tasten auf der Oberseite zu bedienen.



Abb. 18: Reflow-Ofen an der Hochschule (Protoflow S)

In der Schnell-Anleitung des Ofens befindet sich eine Tabelle, anhand der sich die Parameter für den Ofen bestimmen lassen. Sie ist nach Platinen-Größen sortiert.

Anhand der Platinen-Maße (60 mm x 80 mm) wurden für das Projekt folgende Parameter entnommen und mit Hilfe der Anleitung am Ofen eingestellt:

- Platinen-Typ:

Größe	Small
Verwendete Löt-Paste (bleifrei)	FR4
Platinen-Stärke	1,6 mm
- Vorheizen:

Temperatur (Preheat temp.)	170 °C
Zeit (Preheat time)	200 sec
- Schmelz-Löten (Reflow):

Temperatur (Reflow temp.)	285 °C
Zeit (Reflow time)	120 sec
Ofen-Energie (Reflow power)	100 %
- Abkühlen (Cool Down):

Zeit (Cool Down time)	120 sec
Lüfter-Energie (Cool Down power)	80 %

Die Präparation der Leiterplatte mit Löt-Paste ist in Abb. 19 dargestellt: Zuerst wurde die bei Betalayout mitbestellte Maske provisorisch mit einer Schraubzwinge auf der Platine fixiert (Abb. 19, links). Nachdem die Aussparungen der Maske über den Löt-Pads ausgerichtet waren, wurden die beiden Teile von unten mit Klebestreifen verbunden und die Schraubzwinge gelöst. Auf diese Weise konnte die Löt-Paste großzügig von oben aufgetragen (Abb. 19, Mitte) und der Überschuss mit einem Schaber abgezogen werden.



Abb. 19: Auftragen von Löt-Paste

Nach entfernen der Maske sind die Löt-Pads mit Paste bedeckt (Darstellung unter dem Mikroskop; Abb. 19, rechts). Dabei ist darauf zu achten, dass nicht zu viel Paste aufgetragen wird, wie es in Abb. 20 (links) zu sehen ist. So können sich Kurzschlussbrücken zwischen den einzelnen Kontakten bilden (Abb. 20, rechts). Diese wurden nach dem Reflow-Löten per Hand wieder aufwendig entfernt. Nach dem Auftragen der Paste können nun die SMD-Bauteile auf die Platine gesetzt werden. Dabei sollten sie nach Möglichkeit in einem Zug platziert und wenig bewegt werden. Ein Verschieben der Bauteile verschmiert die Löt-Paste und fördert so das Bilden von Kurzschlussbrücken.

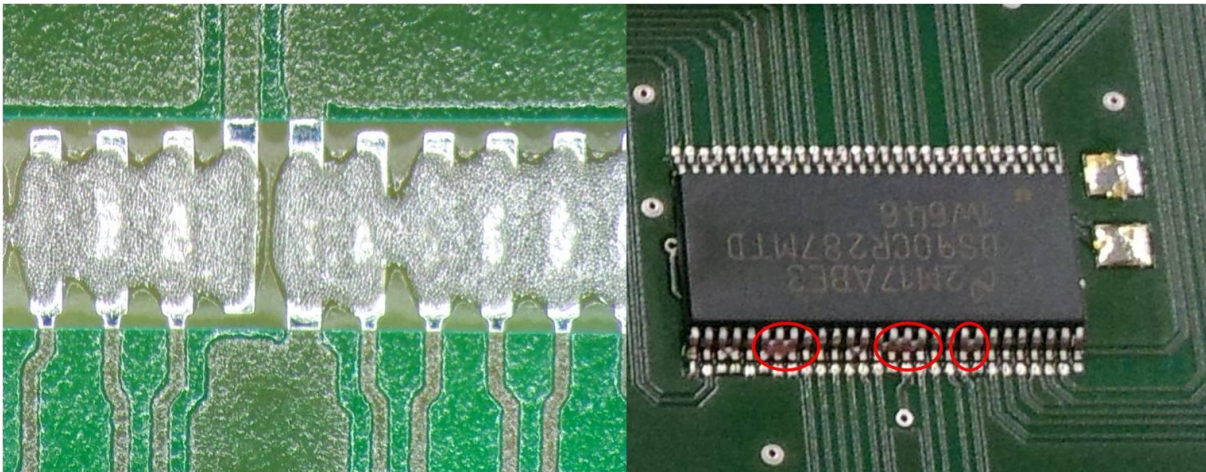


Abb. 20: Übermäßiges Auftragen von Löt-Paste

Bei der von Hannes Maletzke hergestellten Platine lag der FMC-Stecker nicht plan auf der Platine auf. Diese Tatsache ist vermutlich auf zu wenig Hitze während des Reflow-Löt-Vorgangs zurückzuführen. David Kleinz hatte zuvor bei seinen Platinen-Prototypen eine größere Hitze eingestellt. Die von ihm verwendeten Daten stimmen zu großen Teilen mit den oben genannten Daten aus der Tabelle überein.

Durch den bei Maletzke entstandenen größeren Abstand zwischen den Platinen-Pads und den Stecker-Kontakten lag, wie oben beschrieben, die Vermutung nah, dass nicht alle Kontaktstellen leitend verbunden waren. Aus diesem Grund wurde der FMC-Stecker zusätzlich mit Gewicht bestückt, dass den Stecker an die Kontakt-Pads andrücken sollte. Das Gewicht bildeten, wie in Abb. 21 links zu sehen, zwei übereinander gestapelte Plättchen aus reinem Platinen-Material (ohne Leiterbahnen¹).

¹ Das Gewicht sollte möglichst wenig Wärme leiten, damit der Stecker nicht beschädigt wird/ schmilzt.



Abb. 21: Löt-Prozess

Während des Löt-Vorgangs fiel das obere Gewicht durch die Umluft im Ofen vom Stecker. Das verbliebene Gewicht und die größere Hitze waren jedoch ausreichend, sodass der Stecker am Ende plan auf der Leiterplatte auflag. Der kritische Bereich, an dem die Güte der Lötung zu erkennen ist, wurde in Abb. 22: FMC-Stecker auf PlatineAbb. 22 rot markiert.

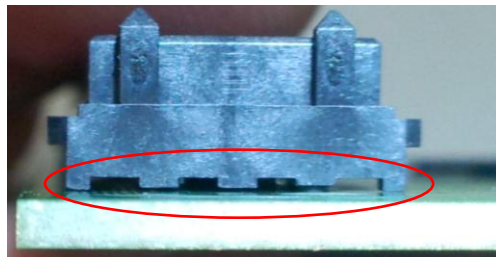


Abb. 22: FMC-Stecker auf Platine

Fazit und Ausblick

Das gestellte Ziel der Studienarbeit konnte nicht erreicht werden. Zwar konnten einzelne Verbesserungen am Platinen-Layout erzielt werden. Ganzheitlich gesehen ist der neue Aufbau in Hinsicht auf die Funktionsfähigkeit ein kleiner Rückschritt. Der bereits bestehende Fehler konnte durch die getroffenen Maßnahmen nicht behoben oder gefunden werden. Zusätzlich fielen zwei serielle Übertragungsgruppen der Cameralink-Schnittstelle aus. Eindeutig positiv zu bewerten sind die mechanischen Verbesserungen an der Erweiterungsplatine. Durch sie vereinfacht sich das Arbeiten, da deutlich weniger Wackelkontakte auftreten.

Der verfassten Studienarbeit waren bereits drei weitere vorausgegangen. Dieser Tatsache geschuldet gab es ebenfalls einen theoretischen Schwerpunkt die Arbeiten zusammenzuführen. Mit dieser Arbeit als Basis soll es für den Nachfolger möglich sein einen Überblick über das bisherige Projekt zu erhalten und einen schnellen Einstieg in seine Arbeit zu finden.

Da diese Arbeit keine neuen Erkenntnisse bezüglich der Fehler gebracht hat, ist zudem die Aufgabe den Blog zur Vorstellung von technischen Lösungen mit den Ergebnissen zu aktualisieren hinfällig und wird an die nachfolgende Studienarbeit weiter gegeben.

Erster Teil der Nachfolgearbeit wird es sein, den Framepusher auf der aktuellen Platine zu ersetzen und die Funktion erneut zu testen. Im nächsten Schritt können die vorhandenen Fehler weiter eingegrenzt und behoben werden.

Für den Fall, dass eine weitere Platine aufgebaut werden muss, steht noch eine zweite Leiterplatte sowie nahezu alle Bauteile zur Verfügung. Durch das mehrfache Austauschen des Framepushers wird dieses Bauteil voraussichtlich nachzubestellen sein.

Literatur- & Quellverzeichnis

ALTERA. (September 2010). Board Design Guidelines for LVDS Systems v2.1.

Automated Imaging Association. (kein Datum). *Vision Online - About AIA*. Abgerufen am 18. 11 2014 von <http://www.visiononline.org/mvo-content.cfm/machine-vision/About-AIA/id/81>

Automated Imaging Association. (kein Datum). *Vision Online - Members*. Abgerufen am 18. 11 2014 von <http://www.visiononline.org/search-company.cfm>

Basler. (14. Januar 2009). Basler AK400k Users Manual.

Digilent. (16. Januar 2013). Zed Board - RevC.1_Schematic.

Fermum, L. (kein Datum). *Vision Doctor - Industrielle Bildverarbeitung gelöst*. Abgerufen am 18. 11 2014 von <http://www.vision-doctor.de/cameralink.html>

ImageOps, Division of Computer Modules, Inc. (Oktober 2000). *IMAGE OPS*. Von <http://www.compumodules.com/pdf/CameraLinkOfficial.pdf> abgerufen

Kleinz, D. (2014). *Entwicklung einer Camera Link*. DHBW Mannheim.

Krato, J.-R. (2013). *Entwurf einer Platine auf Basis der CameraLink-Technologie zum Anschluss an das ZedBoard von Xilinx*. DHBW Mannheim.

Maletzke, H. (2014). *Entwicklung einer Cameralink Schnittstelle zur Anbindung an das Zedboard*. DHBW Mannheim.

Microtronix. (kein Datum). Cameralink IP Core - User Manual Revision 1.7.0. London.

Müller, L. (2015). *Düsenansteuerung mittels ZedBoard*. DHBW Mannheim.

National Semiconductor. (Juli 2004). Datasheet DS90CR287/ Datasheet DS90CR288A.

photonfocus. (kein Datum). *Flyer-CL-Repeater*. Abgerufen am 12. Dezember 2014 von Rauscher Bildverarbeitung:

http://www.rauscher.de/downloads/photonfocus/Flyer-CL-Repeater_de_1-0_n2.pdf

Schatz, V. (kein Datum). *The Camera Link camera interface*. Abgerufen am 12. Dezember 2014 von <http://www.volkerschatz.com/hardware/clink.html>

Specht, T. (2014). *Aufbau einer kleinen Sortiereinheit*. DHBW Mannheim.

Texas Instruments. (Juni 2006). *National Semiconductor Channel Link Design Guide*. Abgerufen am 12. Dezember 2014 von <http://www.ti.com/lit/ml/snla167/snla167.pdf>

Anhang

Fehlerhafte Signale

Eingangssignal Framepusher	Funktion	Differenzsignal Funktion	Ausgangssignal Framegrabber	Funktion
C_D0	✓	X_0 ☒	G_D0	☒
C_D1	✓		G_D1	☒
C_D2	✓		G_D2	☒
C_D3	✓		G_D3	☒
C_D4	✓		G_D4	☒
C_D6	✓		G_D6	☒
C_D7	☒		G_D7	☒
C_D8	✓	X_1 ☒	G_D8	☒
C_D9	☒		G_D9	☒
C_D12	✓		G_D12	☒
C_D13	✓		G_D13	☒
C_D14	✓		G_D14	☒
C_D15	✓		G_D15	☒
C_D18	✓		G_D18	☒
C_D19	✓	X_2 ✓	G_D19	✓
C_D20	✓		G_D20	✓
C_D21	✓		G_D21	✓
C_D22	✓		G_D22	✓
C_D24	✓		G_D24	✓
C_D25	✓		G_D25	✓
C_D26	✓		G_D26	✓
C_D27	✓	X_3 ✓	G_D27	✓
C_D5	✓		G_D5	✓
C_D10	✓		G_D10	✓
C_D11	✓		G_D11	✓
C_D16	☒		G_D16	☒
C_D17	☒		G_D17	☒
C_D23	✓		G_D23	✓

Tab. 3: Fehlerhafte Signale auf der neuen Platine

Erstellung eines Schaltsymbols und Footprints in EAGLE

Da nicht alle Bauteile der Erweiterungsplatine in der Eagle-Bibliothek enthalten waren, wurden sie von Julian Krato manuell hinzugefügt. Dieses Kapitel soll helfen, Änderungen an Schaltsymbolen oder Footprints von Bauteilen durchzuführen, wenn diese fehlerhaft sind oder neue Bauteile verwendet werden sollten. Das Kapitel wurde vollständig Julian Kratos Studienarbeit entnommen¹.

„Erstellung eines Schaltsymbols/Footprints am Beispiel DS90LV031a:

1. Ultra Librarian öffnen
2. .bxl-Datei Auswählen (DS90LV031a)
3. Häkchen EAGLE setzen
4. Exportieren (.scr-Datei wird erstellt)

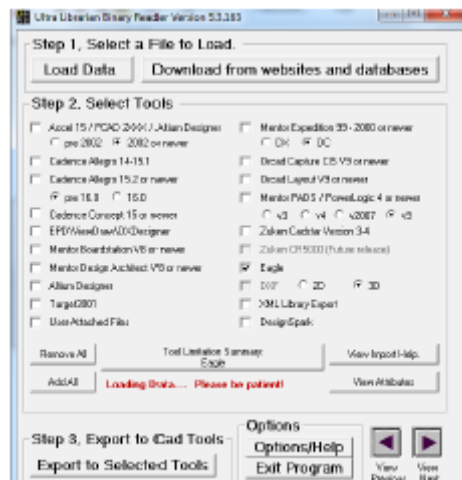


Abbildung 4 - Ultra Librarian

¹ Krato, 2013: S.17-21

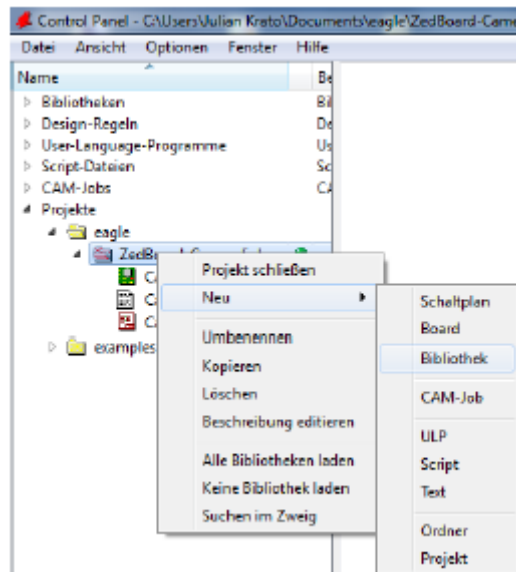


Abbildung 5 - Neue Bibliothek hinzufügen

5. Neue Bibliothek im Projekt anlegen
6. Skript-File ausführen

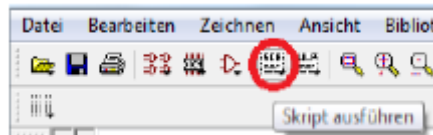


Abbildung 6 - Skript ausführen

7. Die von Ultra Librarian zuvor erstellte .scr Datei auswählen
8. Das Schaltsymbol des DS90LV031a erscheint. Da wie bereits oben erwähnt ein Footprint fehlt muss es an dieser Stelle von Hand selbst eingefügt werden.

HINWEIS: Zur Bearbeitung der Bibliothek muss das Bibliotheks-Fenster immer geöffnet sein

9. Bauteilnamen erstellen und mit „OK“ bestätigen

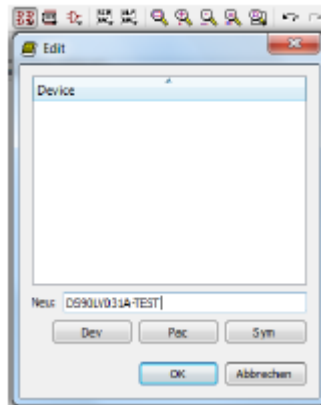


Abbildung 7 – Bauteilbezeichnung

10. Aus einer bereits bestehenden Bibliothek (beispielsweise: zetex.lbr) das gewünschte Package (SO16) auswählen und per Rechtsklick „In Bibliothek kopieren“

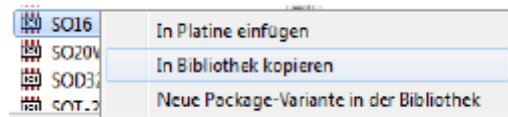


Abbildung 8 - Auswahl des Packages

11. Unter dem Reiter „Device“ mit Hilfe der „Add“ Schaltfläche das Schaltsymbol einfügen

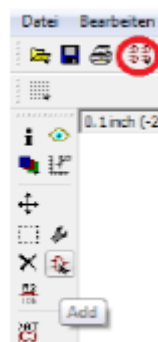


Abbildung 9 - Schaltsymbol hinzufügen

12. Das Ausgewählte Schaltsymbol erscheint in der Bibliothek. (siehe Abb.9)

13. Mit „Neu“ das SO16 Package auswählen und der Bibliothek hinzufügen

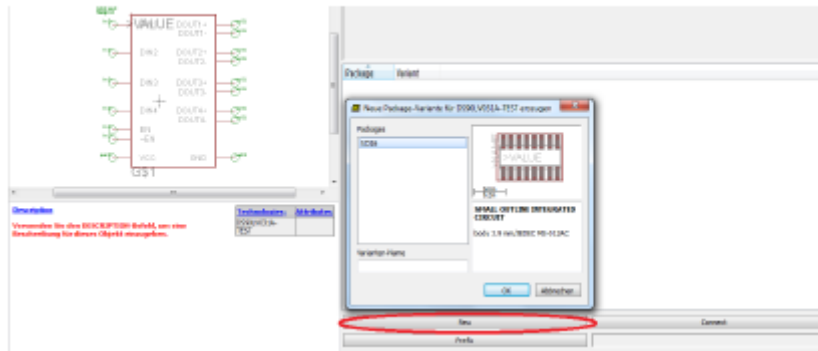


Abbildung 10 - Package hinzufügen

14. Über die Schaltfläche „Connect“ die Pins des Footprints mit den, wie im Datenblatt beschriebenen, des tatsächlichen Bauteils verbinden

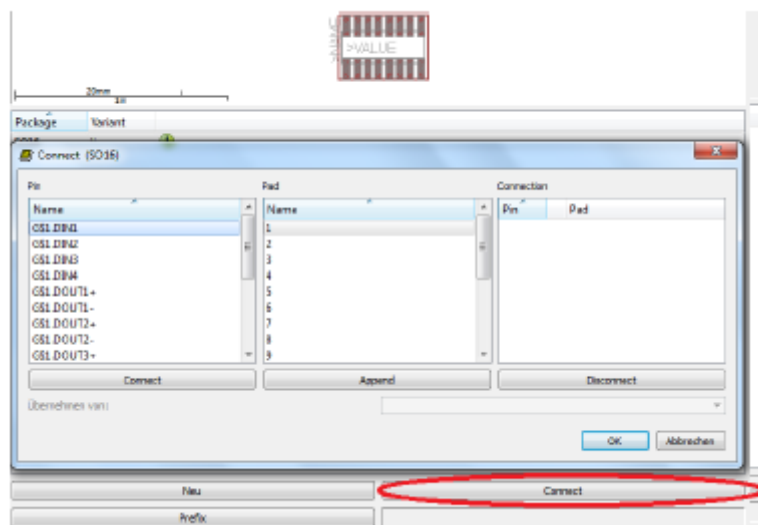


Abbildung 11 - Pin-Zuweisung

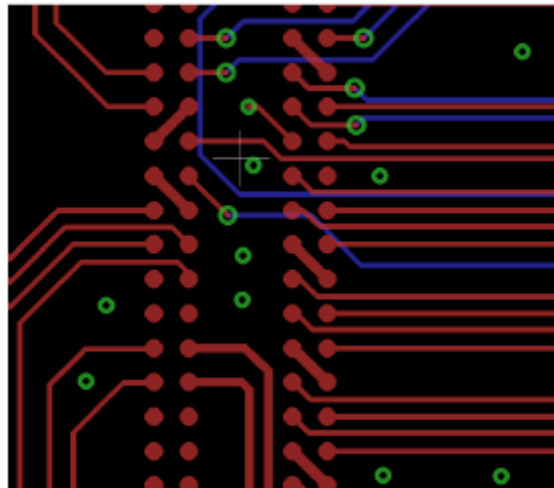
15. Anschließend die Bibliothek abspeichern

16. Damit das soeben erstellte Gerät im Projekt verwendet werden kann, muss im Control-Panel von EAGLE unter „Bibliotheken“ die neue Bibliothek aktiviert werden.“

Erstellen eines Layout-Entwurfs in EAGLE¹

„Die Bauteilplatzierung auf der Platine ist dem Schaltplan nachempfunden [8²]. Es musste darauf geachtet werden, dass beim Aufstecken der Platine auf das Zed-board, diese vom FPGA mit dessen Kühlgerippe weg weißt. So wird ein Anecken der Bauteile verhindert.

Die Herausforderung auf der linken Seite der Platine bestand im Routen (Leiterbahnen verlegen) einer Vielzahl von CMOS Leitungen auf die Treiberbausteine (70 Signale, Daten- u. Clockleitungen).



6. Abb.: Leiterbahnen zwischen FMC-Balls

Das Verlegen von Leitungen zwischen den Balls (SMT-Kontakte)³ des Steckers machen unter anderem eine Leiterbahnbreite von 0.008 inch von Nöten. Dies sind etwa 0.2 mm. Falls möglich wurden Verbindungen mit maximaler Leiterbahnbreite verbunden. Dies verringert den Widerstand und die Induktivität und es kann zudem mehr Strom über die Bahn fließen. Das Verlegen von Leiterbahnen wird in EAGLE mit der "Route"-Funktion übernommen. Hierbei werden noch unverbundene Signale zwi-

¹ Dieses Kapitel wurde vollständig aus dem Kapitel 2.2 Layoutdesign von David Kleinz übernommen (Kleinz, 2014).

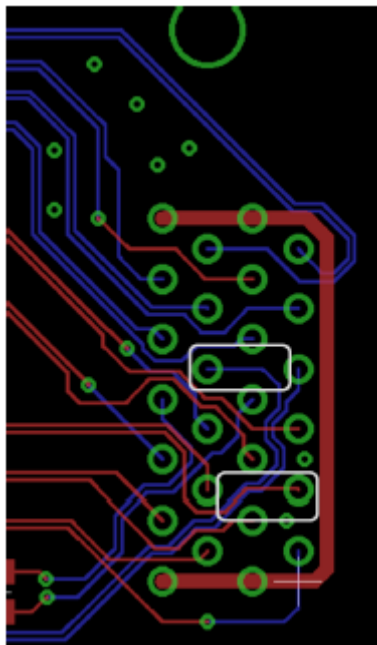
² Quelle von Kleinz: [8] Camera Link Schnittstellenplatine, EAGLE-Layout, Related Documents: CL.brd

³ SMD-Kontakte (Tippfehler)

schen den Bauelementen (sog. Luftlinien) in eine elektrische Verbindung umgesetzt. [...]

Nach den Richtlinien für LVDS-Systeme [9¹] müssen die differentiellen Leitungspaare möglichst nahe und parallel verlegt werden. Hierbei bietet das Tool EAGLE eine gewisse Unterstützung, da bei dem Anlegen eines Bauteiles differentielle Signale bereits festgelegt werden können und somit die korrespondierenden Leitungen beim Routen stets zusammen hängen.

Um Laufzeitdifferenzen zu verhindern müssen die LVDS-Bahnen möglichst exakt in ihrer Länge übereinstimmen. Im Bereich der MDR-26 Stecker war dieses Kriterium aufgrund der Pin-Belegung nicht gänzlich zu erfüllen (s. Abb. 8).



8. Abb.: Leitungslängendifferenz, symmetrisches Leitungspaar[8]

Die Platine wurde mit zwei Layern entworfen. Dies bedeutet, dass sich sowohl auf der Oberseite (Top-Layer), als auch auf der Unterseite (Bottom-Layer), Bauteile und Leitungen befinden. Zur Anbindung der Masse wurden auf beiden Seiten eine- Kupferfläche eingezogen und diese mit Masse (GND) verbunden. Eine möglichst flächige Masseanbindung verringert dessen Impedanz, sodass Rückströme gleichmäßiger fließen und somit Potentialdifferenzen verringert werden [...] Mit der Verwendung von

¹ Quelle von Kleinz: [9] LVDS Richtlinien, "Board Design Guidelines for LVDS Systems", Online im Internet: http://www.altera.com/literature/wp/wp_lvdsboard.pdf [Stand 23.12.2013]

Vias (Durchkontaktierungen) wurde die Anbindung zusätzlich verbessert (s. Abb. 8). Praktisch wird diese Massefläche in EAGLE über die "Polygon"-Funktion erstellt. Dazu zieht man zunächst mit dieser Funktion ein Polygon auf dem Top-Layer der Platine ein und bezeichnet diese per "Name"-Funktion mit "GND". EAGLE verbindet automatisch Masse mit der in dem Polygon eingeschlossenen Fläche [...]. Gleiche Vorgehensweise auf dem Bottom-Layer. Über den "Ratsnest"-Knopf wird die Massefläche sichtbar.

Dieser Schritt ist nach Möglichkeit erst zum Schluss durchzuführen! Erstellen der Massefläche schränkt die Übersichtlichkeit beim Platinen-Entwurf deutlich ein. [...] Schlussendlich wurde mit dem Standard-Design-Rule-Check (DRC) von PCBPool.com das Layout auf Fehler und Fertigungsvorgaben geprüft [18¹]. Dieser Test ergab keine Fehler.“

¹ Quelle von Kleinz: [18] Design Rule Check nach PCB-Pool Standard, Designregeln, Online im Internet: <http://www.pcb-specification.com/de> [Stand 26.11.2013]

Aktueller Signallaufplan

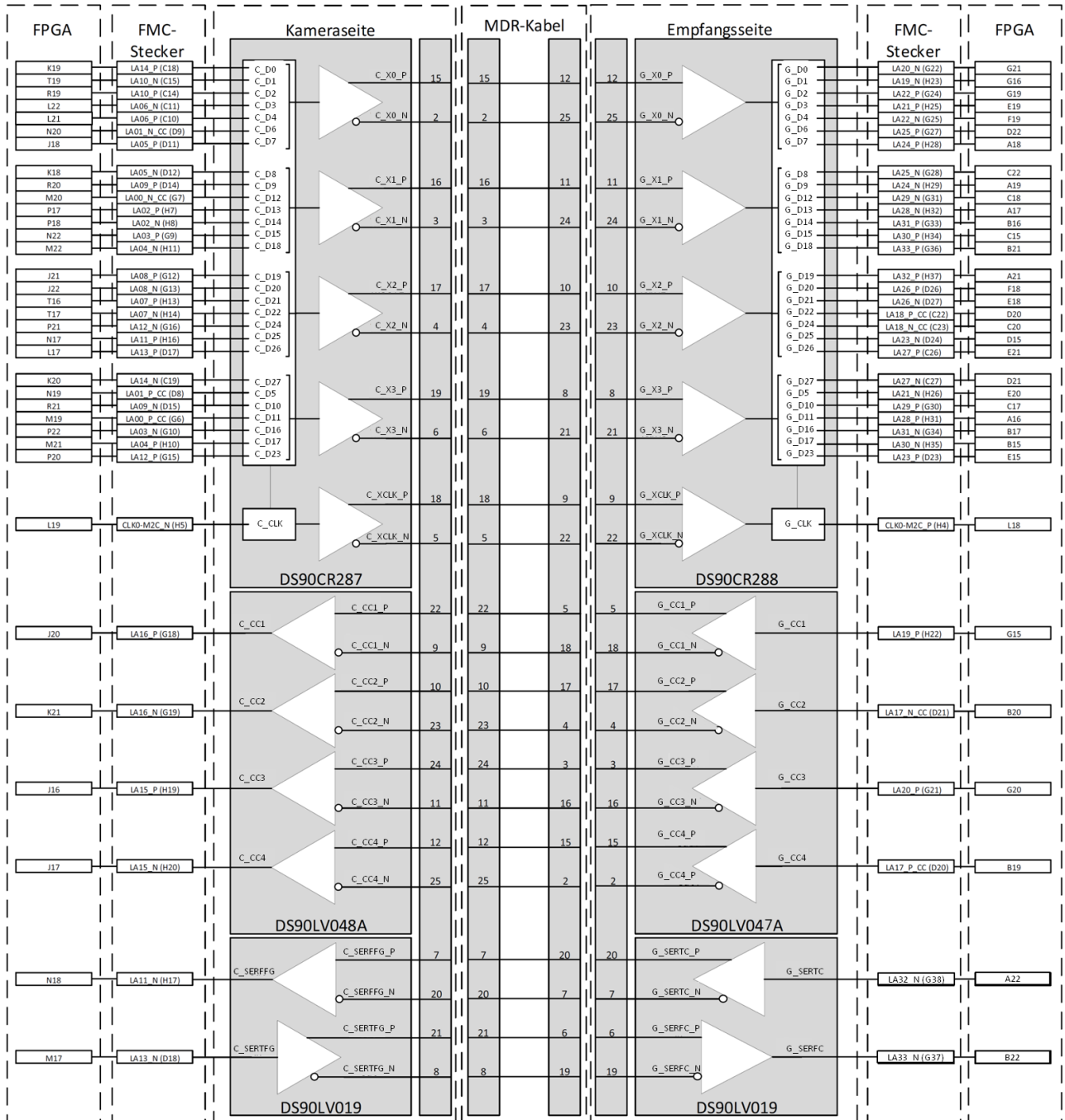


Abb. 23: Signallaufplan

Aktuelles Platinen-Layout

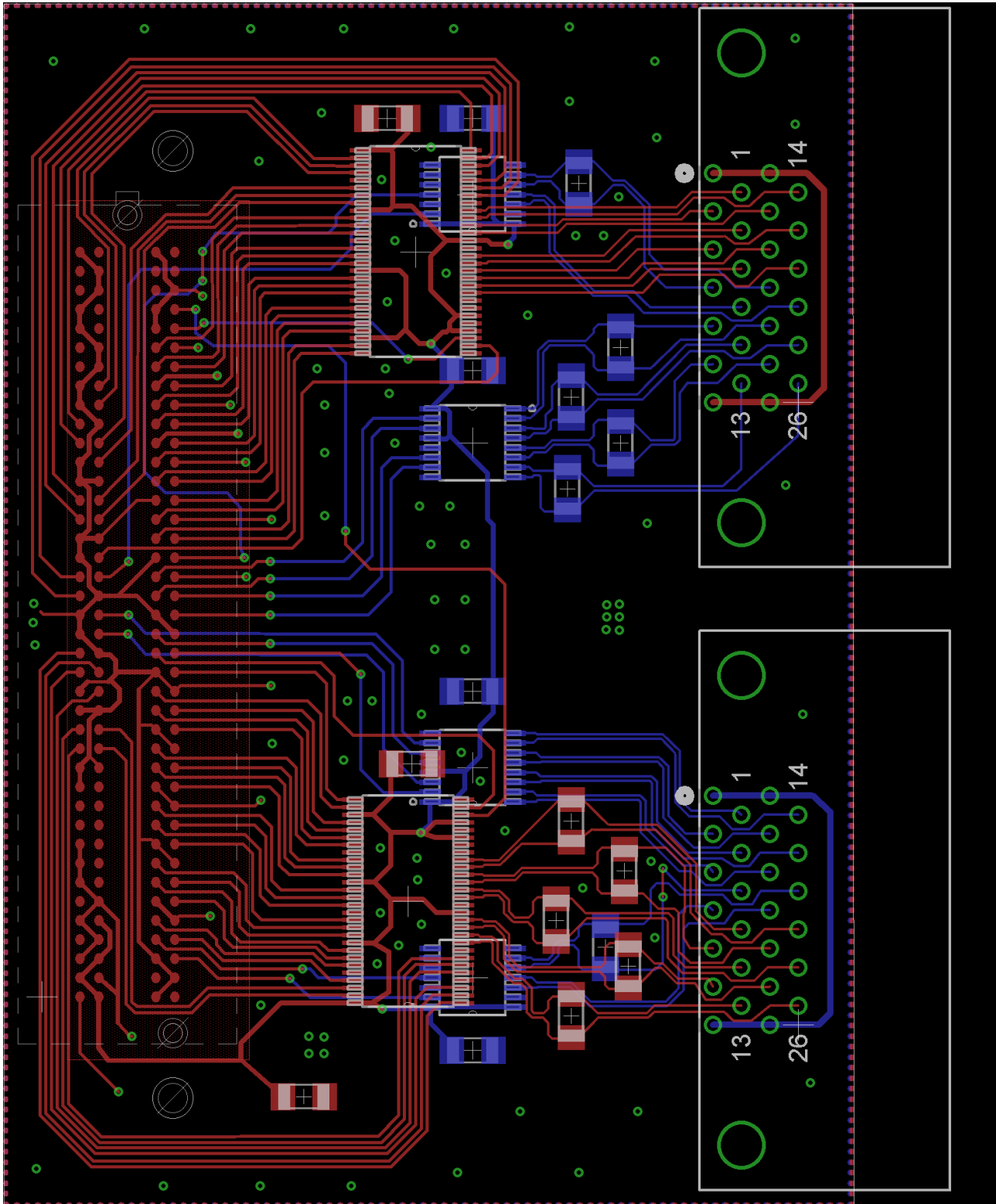


Abb. 24: Layout

Aktueller Schaltplan

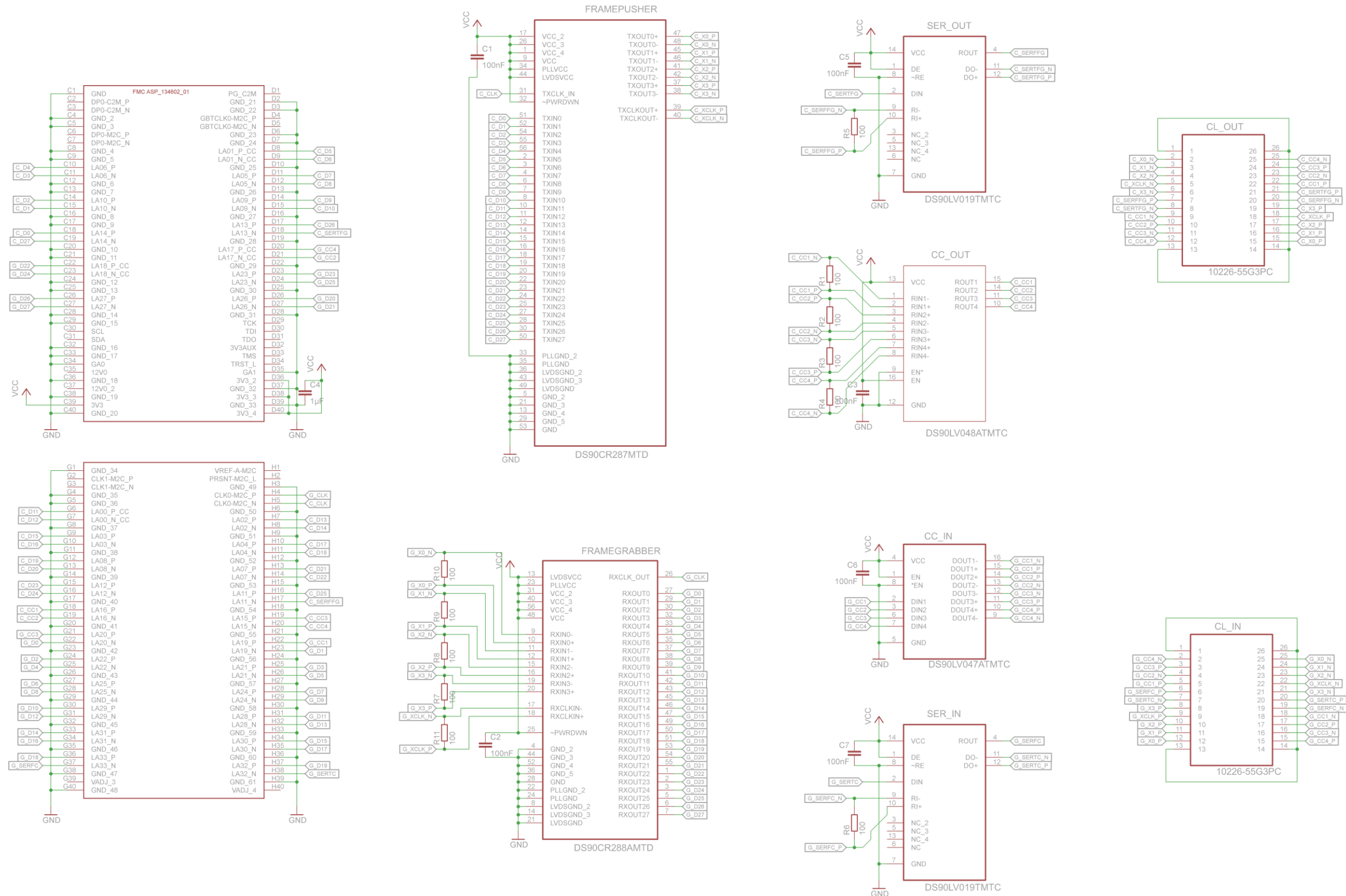


Abb. 25: Schaltplan

Aktuelle Bestückungsliste

Exported from Cameralink_Karmann.brd at 10.12.2014 13:00:23

EAGLE Version 7.1.0 Copyright (c) 1988-2014 CadSoft

<u>Part</u>	<u>Value</u>	<u>Package</u>	<u>Library</u>
C1	100 nF	C1206	rcl
C2	100 nF	C1206	rcl
C3	100 nF	C1206	rcl
C4	1 μ F	C1206	rcl
C5	100 nF	C1206	rcl
C6	100 nF	C1206	rcl
C7	100 nF	C1206	rcl
CC_IN	DS90LV047ATMTC		Cameralink
CC_OUT	DS90LV048ATMTC		Cameralink
CL_IN	10226-55G3PC		Cameralink
CL_OUT	10226-55G3PC		Cameralink
FRAMEGRABBER	DS90CR288AMTD		Cameralink
FRAMEPUSHER	DS90CR287MTD		Cameralink
R1	100 Ω	R1206	rcl
R2	100 Ω	R1206	rcl
R3	100 Ω	R1206	rcl
R4	100 Ω	R1206	rcl
R5	100 Ω	R1206	rcl
R6	100 Ω	R1206	rcl
R7	100 Ω	R1206	rcl
R8	100 Ω	R1206	rcl
R9	100 Ω	R1206	rcl
R10	100 Ω	R1206	rcl
R11	100 Ω	R1206	rcl
SER_IN	DS90LV019TMTC		Cameralink
SER_OUT	DS90LV019TMTC		Cameralink
U\$1	ASP_134602_01		FMC_Stecker

Blockschaltbild des Zedboards

Das Zedboard ist für vielfältige Anwendungen ausgelegt worden. Das abgebildete Blockschaltbild gibt eine Übersicht über die auf ihm verbauten Komponenten sowie die Erweiterungsmöglichkeiten, die durch das FPGA-Design bestimmt werden können.

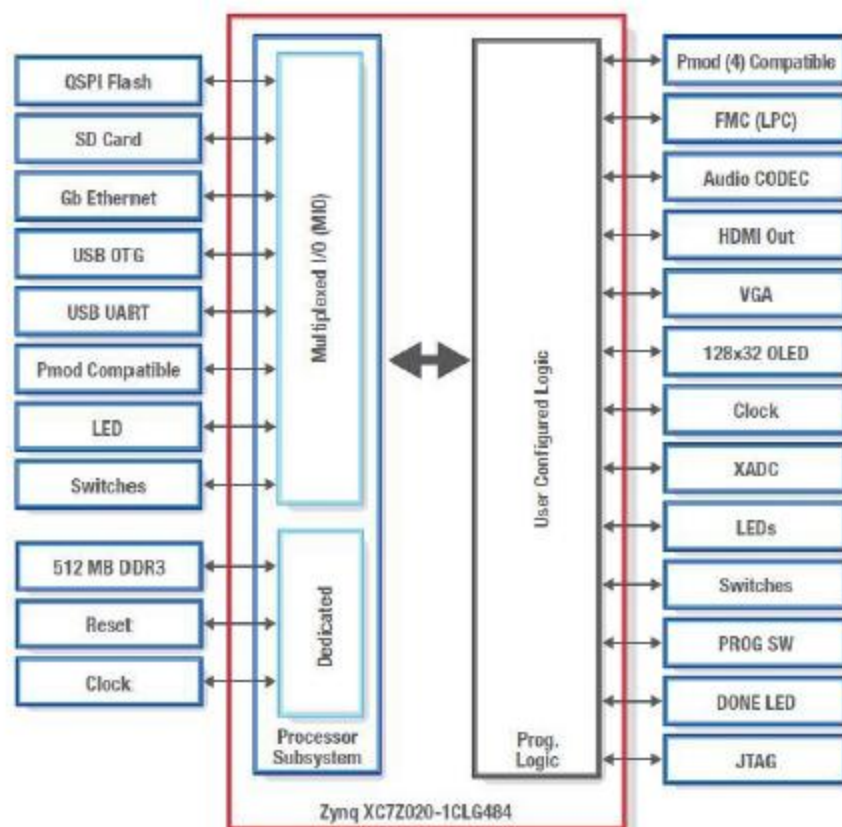


Abb. 26: Blockschaltbild des Zedboards¹

¹ Maletzke, 2014; Seite 1, Abbildung 1 – Bockschaltbild des Zedboards

Aktuelles FPGA-Design

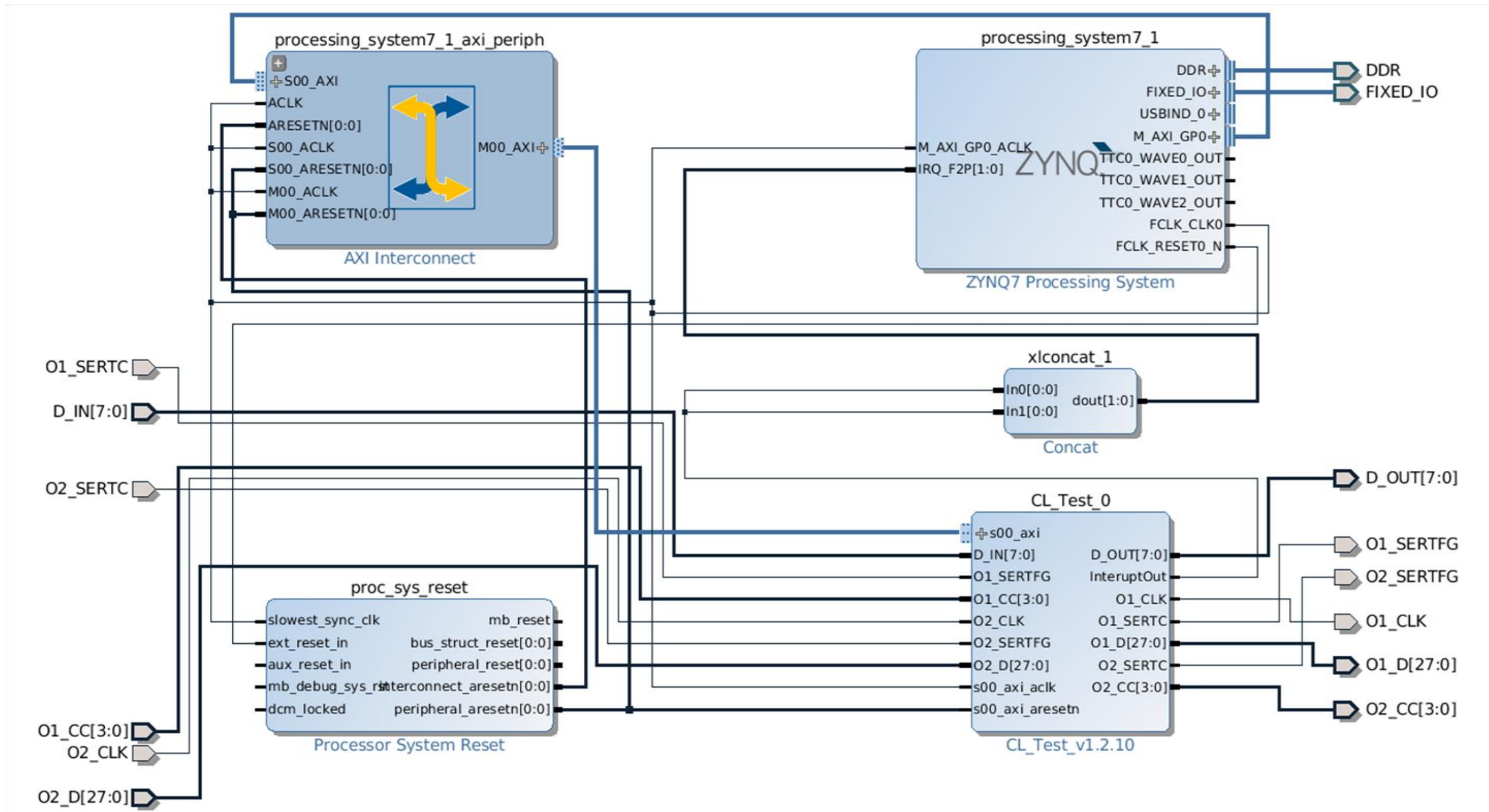


Abb. 28: Aktuelles FPGA-Design

